DOI：10.13890/j.issn.1000-128X.2024.02.010

基于同步采样SDFT的高性能单相锁相环方法研究

陈志博[1,2]，李学明[1]，甘韦韦[1]，高　剑[2]，黄守道[2]
（1.株洲中车时代电气股份有限公司，湖南 株洲 412001；
2.湖南大学 电气与信息工程学院，湖南 长沙 410082）

摘　要：在电力机车及动车组的牵引传动控制系统中，网侧变流器通过锁相环获取相位信息并进行精确控制。牵引供电网电压的幅值及频率存在波动，而且网压经常出现严重畸变及含有大量谐波，复杂的电网环境对锁相环性能提出了很高的要求。文章结合同步采样，提出一种基于SDFT的高性能锁相环方法，并通过数字仿真及半实物仿真对所述方法的性能进行了验证。仿真结果表明，与其他几种主流的锁相环对比，该方法稳态锁相精度高，动态响应速度快，并有较强的谐波抑制能力与抗偏置能力，适宜在轨道交通领域应用。

关键词：四象限变流器；同步采样；SDFT；锁相环；谐波抑制；抗扰性

中图分类号：U264.3+7　　**文献标志码：**A　　**文章编号：**1000-128X（2024）02-0081-11

0　引言

随着我国电气化铁路规模的不断扩大，交流电力机车及动车组（下文统称为列车）的数量也不断增加。当前，新造并投运的列车组均采用“交直交”型牵引电传动结构形式。牵引变流器的“交直”部分称为四象限变流器，主要功能是将电网的交流电转换成逆变器所需的直流电。锁相环从电网获取网压的频率和相位角，是四象限变流器正常并网控制的首要前提条件，对网侧变流器性能的影响非常关键。

早期较为普遍的相位获取方法是过零检测法[1]，其利用了正弦波在一个周期内两次过零点的特征来判断相位区间，原理简单，易于实现，然而，其缺点是检测的实时性和精度不足，而且在电网存在畸变或者包含大量谐波时，难以准确获取网压的过零点，从而影响功率因数及谐波的控制效果。随着数字技术的不断发展，锁相环[2-3]的优势逐步凸显，由于它能够把传统由硬件实现的功能在离散域中用纯软件算法来实现，不受硬件参数漂移的影响，且设计灵活，在复杂的工作条件下也能实现较高的性能，逐步成为工业领域应用最广泛的同步方法[4-5]。

锁相环由鉴相器（Phase Detector, PD）、环路滤波器（Loop Filter, LF）和压控振荡器（Voltage Controlled Oscillator, VCO）3个组成部分[6]。不同锁相环算法的差异主要在于PD的不同，从这个角度来说可将单相锁相环分为两类[7-9]，第一类为基于功率的PLL（power based PLL，简称pPLL），第二类为基于正交信号生成的PLL（Quadrature Signal Generation based PLL，QSG-PLL）。

标准pPLL是一种比较简单实用的锁相环，它的鉴相器采用一个乘法运算来实现，由于其结构简单，运算量小，使用十分方便，在FPGA中也容易实现[10-11]，成为一种通用化的算法模块。但标准pPLL的鉴相器输出中包含二倍频干扰分量，它会导致pPLL出现锁相误差。

LPF-pPLL[12]采用低通滤波器对鉴相器输出中的二次谐波进行滤除，提升了锁相精度，但同时也降低了

基金项目：中国中车科技研究开发计划项目（2022CYA050）
通信作者：陈志博，男，博士，正高级工程师，主要从事大功率交流传动牵引网侧变流器控制算法的研究工作；E-mail: chenzb@csrzic.com
引用格式：陈志博, 李学明, 甘韦韦, 等. 基于同步采样SDFT的高性能单相锁相环方法研究[J]. 机车电传动, 2024(2): 81-91.DOI:10.13890/j.issn.1000-128X.2024.02.010.
Citation：CHEN Zhibo, LI Xueming, GAN Weiwei, et al. A study on high-performance single-phase phase-locked loop method based on synchronous sampling SDFT[J]. Electric drive for locomotives,2024(2): 81-91.DOI:10.13890/j.issn.1000-128X.2024.02.010.

锁相环的响应速度。不论是标准pPLL还是LPF-pPLL，均不能获取到电网电压的幅值，因此，锁相环的动态性能与电网电压幅值变化未能实现解耦，从而在电网幅值变化时出现误差。

为弥补标准pPLL和LPF-pPLL无法获取电网电压幅值信息的缺点，另一种pPLL，称为DFAC-PLL被提出来[13-14]。DFAC方法是通过一个二倍频消除模块和一个幅值补偿模块消除d轴和q轴中的二倍频分量，这种PLL算法实现了幅值的归一化，因此其动态性能几乎与电网幅值变化无关，对电网的幅值扰动适应性更强，但是实现略为复杂，且在实际牵引供电网下的使用效果还需要进一步验证。

在QSG-PLL这一类单相锁相环算法中，SOGI-PLL（Second-Order Generalized Integrator based PLL）[15-17]非常流行，它使用SOGI模块创建虚拟正交信号，SOGI-PLL不仅能获取到电网相位，而且能获取电网电压的幅值。由于其性能良好，在单相系统中应用得极为广泛。然而，SOGI对同相分量呈带通滤波器特性，能够滤除同相分量中的高频及低频谐波，但对虚拟正交分量呈低通滤波器特性，导致其性能受低频谐波干扰及直流偏置的影响较大。

本文在研究了以上几种主流锁相环优缺点的基础上，提出了一种基于同步采样SDFT（Sliding Discrete Fourier Transform）的新型锁相环方法，该方法由于考虑了采样周期与电网频率的同步性，因此进一步提升了锁相的稳态精度。同时，该方法的响应速度快、对谐波及直流偏置的抗扰性较好。最后通过离线仿真与半实物试验对本方法的有效性进行了验证。

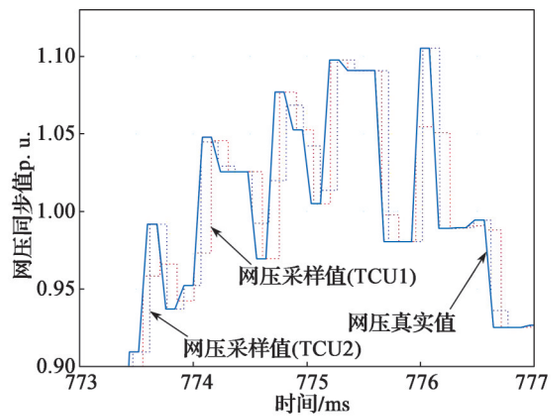
1 同步采样系统设计

1.1 多控制器下的采样误差分析

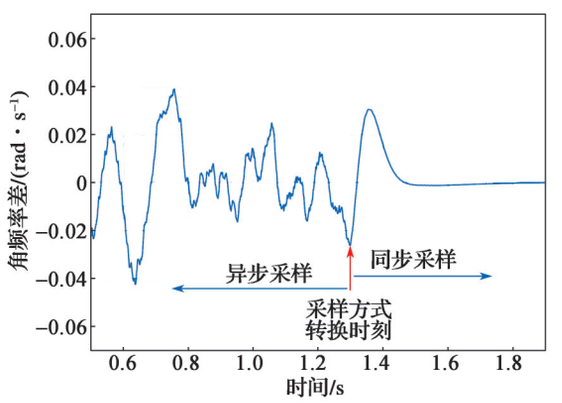
由于牵引系统需求功率大，单个网侧变流器很难满足整车牵引功率的要求，导致机车一般配置多台网侧变流器，每台变流器都配备独立的控制系统，因此，机车需要工作在多控制器独立运行的场合。目前控制器采样环节最为普遍的是固定周期采样，该方法由于采样周期与电网周期并不保持同步，因此称为异步采样。异步采样容易在数字信号处理器中实现，算法简单，应用广泛。

异步采样会造成多个牵引控制单元（Traction Control Unit，TCU）采集到的信息出现不一致的情况，如图1所示。图1(a)为两个TCU对电网电压异步采样示意图，图1(b)为从异步采样转换为同步采样后两个TCU角频率的差异情况。

由图1(a)可知，在现场真实环境下，TCU1和TCU2分别按照各自固定的采样周期进行采样，与获取的电网电压信息存在差异。图1(b)表明，从异步采样转换为同步采样后，两个TCU获取的电网信息保持同步，各自锁相环得到的角频率收敛至一致，随机误差基本消除。



(a) 对网压异步采样示意图



(b) 异步采样与同步采样下的角频率差异

图1 两个TCU的采样和角频率差对比示意图

Fig. 1 Schematic diagram of comparison of two TCUs in sampling and angular frequency difference

多个控制器均工作在异步采样模式时，采样及角频率差异会影响脉冲精度，在四象限变流器多重化工作时，这种差异会显著影响到整车的网侧谐波水平。为实现更优的网侧谐波效果，控制器采样方式需纳入考虑范畴。

1.2 同步采样系统设计

为实现多个TCU能够在同一时刻进行采样，需对控制器的采样系统进行优化，图2为采样系统优化前后的控制系统示意图。

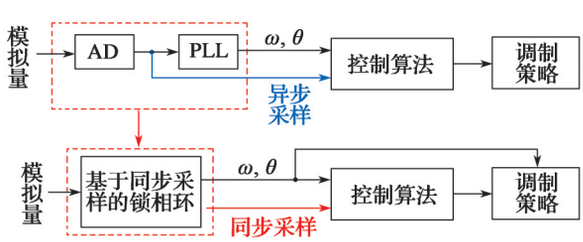


图2 采样系统的优化示意图

Fig. 2 Schematic diagram of optimization of the sampling system

由图2可知，原控制系统中的AD采样和PLL是串行运算，AD采样由芯片内部定时器独立执行，不论PLL是否工作都不会影响AD采样，而在新的采样系统中，原系统中的AD采样和PLL运算合成为一个“基于同步采样的锁相环”模块，其作用是通过锁相环矫正采样周期，使得采样频率始终与电网频率保持同步。

图3为采用优化控制系统对电网电压进行同步采样的示意图。可以看出，不同的TCU均通过高精度锁相环获取到电网的实时相位角，并在一个工频周期中进行N等分采样，每个TCU都在相同的时刻进行采样。考虑到所有并联运行的变流器的数量、使用的开关频率以及载波如何同步生成等问题，采样周期的确定十分关键。以6轴电力机车牵引变流器为例，假设整车有N_1个变流器，开关频率与电网基波频率的比值为N_2，电网额定频率为f_{N}，锁相环得到的电网角频率为ω_{s}，则一个工频周期中的采样点数为

$$N_{\mathrm{p}}=2N_1N_2 \tag{1}$$

电网实际频率f_{pll}为

$$f_{\mathrm{pll}}=\frac{\omega_{\mathrm{s}}}{2\pi} \tag{2}$$

通过如下公式得到同步采样周期：

$$T_{\mathrm{sync}}=\frac{1}{N_{\mathrm{p}}f_{\mathrm{pll}}} \tag{3}$$

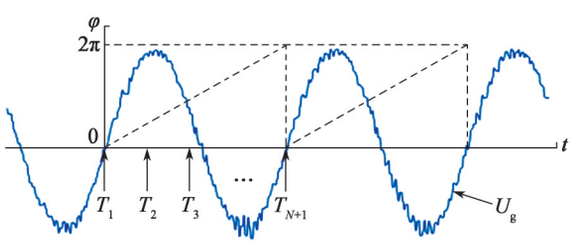


图3　网压的同步采样示意图

Fig. 3　Schematic diagram of synchronous sampling of grid voltage

2　基于同步采样的SDFT算法设计

2.1　基于同步采样的SDFT算法设计

常规SDFT算法一般采用固定采样周期的方式，应用在谐波提取、谐波分析领域，这种方法的好处是采样频率固定，数字信号处理器容易实现，算法简单，便于工程应用。但是，这种采样方式常常会带来一些问题，如电网频率发生较大波动时，无法保障在一个工频周期内采集到相同数量的数据点，在进行分析信号时，会出现频谱泄漏现象[18]，基波频谱的幅值泄漏到其他频谱，导致幅值变小，降低计算精度。当频率偏差较小时，通过调节控制参数可以适当降低影响，频率偏差过大时，通过参数调节难以纠偏，可能会导致锁相失败，严重时可能会引发控制系统的不稳定和故障。

基于同步采样的SDFT方法（Synchronous Sampled Sliding Discrete Fourier Transform，SSSDFT）将同步采样结合到SDFT算法中，通过实时调整采样周期保证采样周期与电网周期的同步，避免频谱泄漏情况的发生，提升锁相环及控制系统精度。在离散的数字信号系统中，在一个工频周期中进行N次采样，可知其傅里叶系数a_n和b_n为：

$$\left.\begin{aligned}a_n&=\frac{2}{N}\sum_{k=0}^{N-1}f\left(kT_{\mathrm{s}}\right)\cos\left(\frac{2\pi}{N}nk\right)\\b_n&=\frac{2}{N}\sum_{k=0}^{N-1}f\left(kT_{\mathrm{s}}\right)\sin\left(\frac{2\pi}{N}nk\right)\end{aligned}\right\} \tag{4}$$

式中：n为谐波的次数，$n=1$表明对应的是基波频率；T_{s}为采样周期；$k\in(0,N-1)$。

利用傅里叶反变换可以实现对原始信号中基波瞬时值x_n的提取：

$$x_n=\frac{1}{N}\sum_{k=0}^{N-1}\left[a_n\cos\left(\frac{2\pi}{N}nk\right)+b_n\sin\left(\frac{2\pi}{N}nk\right)\right] \tag{5}$$

图4为SDFT方法在数字控制器中实现的原理图。

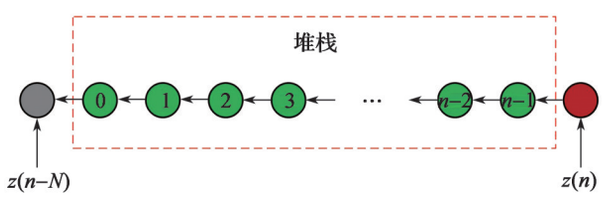


图4　SDFT在数字控制器中的实现

Fig. 4　Implementation of SDFT in a digital controller

由图4可知，SDFT每采集一个新的值，都进行一次运算。SDFT算法对窗口宽度为N内的时间样本执行N点DFT运算，即每次运算以$\theta_k=\frac{2\pi k}{N}$为中心进行$N$点DFT算法，其中$0\leqslant k<N$。在当前采样时刻，进行了$N$个样本的DFT运算后，将计算结果存储，随着下一个样本的到来，窗口滑动一次，以递归的方式获得更新的N点DFT，不断重复这个过程。

2.2　SSSDFT算法的递归误差抑制

假设信号$f(t)$进行离散化采样后，得到$f(k)$，表示其第k次采样值，则其N点的SDFT可表示为

$$F_n(k)=\left[F_n(k-1)-f(k-N)+f(k)\right]\mathrm{e}^{\frac{\mathrm{j}2\pi n}{N}} \tag{6}$$

式中：k为一个周期中采样的序号；$f(k-N)$表示上一个周期中相同采样序号的采样值，这个值延迟了当前采样值一个工频周期。

将式(6)变换到Z域，得到第k次SDFT运算的传递函数在离散域可以表示为

$$H(z)=\frac{F_n(z)}{F(z)}=\frac{\left(1-z^{-N}\right)\mathrm{e}^{\mathrm{j}2\pi k/N}}{1-\mathrm{e}^{\mathrm{j}2\pi k/N}z^{-1}} \tag{7}$$

其实部$\mathrm{Re}\left[H(z)\right]$和虚部$\mathrm{Im}\left[H(z)\right]$为：

$$\left.\begin{aligned}\mathrm{Re}\left[H(z)\right]&=\left(\frac{2}{N}\right)\frac{\left(1-z^{-N}\right)\left[\cos\left(\frac{2\pi k}{N}\right)-z^{-1}\right]}{1-2\cos\left(\frac{2\pi k}{N}\right)z^{-1}+z^{-2}}\\ \mathrm{Im}\left[H(z)\right]&=\left(\frac{2}{N}\right)\frac{\left(1-z^{-N}\right)\sin\left(\frac{2\pi k}{N}\right)}{1-2\cos\left(\frac{2\pi k}{N}\right)z^{-1}+z^{-2}}\end{aligned}\right\} \tag{8}$$

根据上述计算得到SSSDFT算法的拓扑结构图如5所示。

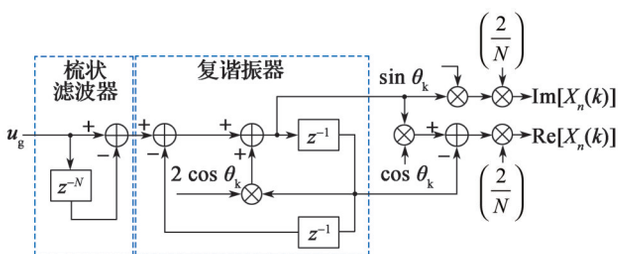
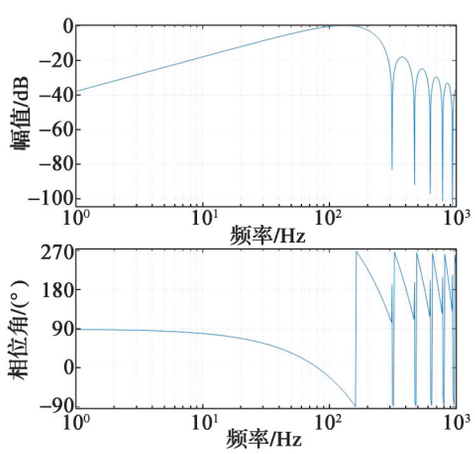


图5　SSSDFT算法的拓扑结构

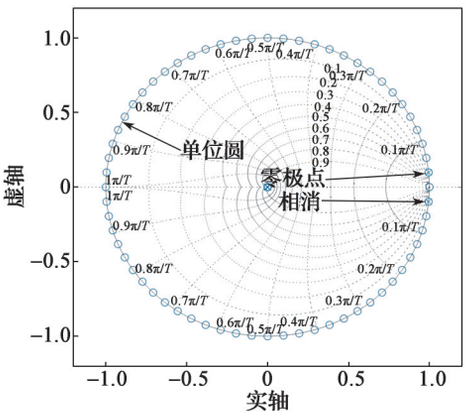
Fig. 5　Topology of the SSSDFT algorithm

由图5可知，SSSDFT滤波器由梳状滤波器（Comb Filter）和复谐振器（Resonator）级联组成，复谐振器由递归部分和非递归部分组成，SSSDFT输出的实部和虚部将分别产生同相和正交信号。图6为SSSDFT的频率响应图与零极点分布图。

从图6(a)可看出，SSSDFT对低频干扰和高频干扰都具有比较优良的滤波效果；从图6(b)可以看出，积分器的两个极点和微分器的两个零点都位于Z平面的单位圆的边界上，互相抵消，N–2个零点分布在单位圆上，系统不会显示出滤波器的通带或阻带特征，处于临界稳定状态。如果梳状滤波器与复谐振器都工作良好，那么这两个模块产生的误差将被抵消，SSSDFT能够实现较为稳定的输出。否则，微分器输出小的舍入误差会被积分器极点累积，导致递归运算后变得不稳定[19]。



(a) 频率响应



(b) 零极点分布图

图6　SSSDFT的频率响应及零极点分布图

Fig. 6　Frequency response and zero-pole distribution of SSSDFT

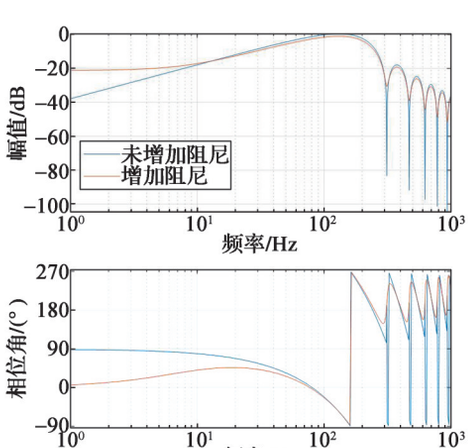
为优化递归运算累计误差导致的不稳定，文献[20]提出了一种基于固定采样周期的SDFT锁相环方法，该方法是一种实时递归算法，但在电网频率发生漂移时，固定的周期采样在长时间运行后仍会形成累积误差，文献[21]通过增加稳定因子，在不影响输出稳定性的前提下消除累积误差，并通过幅值和相位的补偿增加输出的精确性，然而这种方法参数设计较为复杂。

考虑到工程应用的简便性，本文采用增加阻尼因子$\gamma\left(\gamma<1\right)$的方法，改进后的SDFT传递函数及其实部、虚部的表达式如下所示：

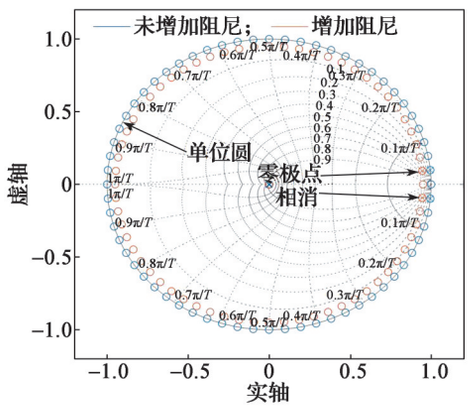
$$H_{\mathrm{r}}(z)=\frac{\left(1-\gamma^N z^{-N}\right)z^{-1}\left(\gamma\mathrm{e}^{\mathrm{j}2\pi k/N}\right)}{1-\gamma\mathrm{e}^{\mathrm{j}2\pi k/N}z^{-1}} \tag{9}$$

$$\left.\begin{aligned}\mathrm{Re}\left[H_{\mathrm{r}}(z)\right]&=\left(\frac{2}{N}\right)\frac{\left(1-\gamma^N z^{-N}\right)\left[\gamma\cos\left(\frac{2\pi k}{N}\right)-\gamma^2 z^{-1}\right]}{1-2\gamma\cos\left(\frac{2\pi k}{N}\right)z^{-1}+\gamma^2 z^{-2}}\\ \mathrm{Im}\left[H_{\mathrm{r}}(z)\right]&=\left(\frac{2}{N}\right)\frac{\left(1-\gamma^N z^{-N}\right)\left(\gamma\sin\left(\frac{2\pi k}{N}\right)\right)}{1-2\gamma\cos\left(\frac{2\pi k}{N}\right)z^{-1}+\gamma^2 z^{-2}}\end{aligned}\right\} \tag{10}$$

增加阻尼后的频率响应与零极点分布图如图7所示。



(a)改进型SDFT的Bode图



(b)改进型SDFT的零极点分布图

图7　改进型SDFT的Bode图与零极点分布图

Fig. 7　Bode diagram and zero-pole distribution of the improved SDFT

从图7(a)可以看出，增加的阻尼会使SSSDFT的调谐不那么尖锐，会降低SSSDFT作为滤波器的性能，但是影响非常轻微，工程上可以忽略；从图7(b)可以看出，将单极点稍微移到单位圆内，能消除累计误差，提高了系统的稳定性。

3　基于同步采样的SDFT锁相环设计

SSSDFT成功实现的前提条件是采样频率f_s必须为输入信号基波频率f_N的整数倍，即$f_N=f_s/N$，其中N是每个工频周期内的采样点数。当电网频率恒定时，上述条件容易满足，而在牵引供电网中，必须自适应地调整每个周期内的采样点数或者采样频率才能保证所提取信号的恒定，达到此要求较困难。对于异步采样来说，确定采样点数的窗口宽度应该是一个固定的整数，但实际每个周期内采样点数并不固定，采用该方式所获得的计算结果并不精确。因此，为实现同步采样，自适应调整采样频率是首先考虑的方式，它需要用到数控振荡器（NCO）技术来实现[22-23]。NCO是一种递归离散时间正弦振荡器，其控制差分方程为

$$\begin{bmatrix}x_1(k+1)\\x_2(k+1)\end{bmatrix}=\begin{bmatrix}\sigma & \sigma-1\\ \sigma+1 & \sigma\end{bmatrix}\begin{bmatrix}x_1(k)\\x_2(k)\end{bmatrix} \tag{11}$$

式中：x_1和x_2为状态变量，$x_1(0)=x_2(0)=0$；$\sigma=\cos\left(\dfrac{2\pi f_s}{f_N}\right)$。

式(11)中，等号右端2×2矩阵是旋转矩阵，满足振荡Barkhausen准则的离散时间等价性。

信号频率的扰动反映在控制输入中，NCO以所需的速率递送脉冲，使得在固定采样宽度的情况下，采样周期能够适应基频周期的变化。SSSDFT-PLL拓扑结构如图8所示。

由图8可知，该PLL由鉴相器（PD）、环路滤波器（LF）和压控振荡器（VCO）组成，其拓扑存在两个反馈回路，回路1用于校正相位误差，回路2调整电网频率变化下的采样频率。鉴相器由SSSDFT模块、两个乘法器和一个加法器组成，它将单相供电网电压信号u_g送入SSSDFT计算模块，得到基波电压的实轴分量u_{re}和虚轴分量u_{im}，然后接受反馈回路1的正余弦信号求出综合误差信号u_e作为鉴相器的输出。综合误差信号的表达式为

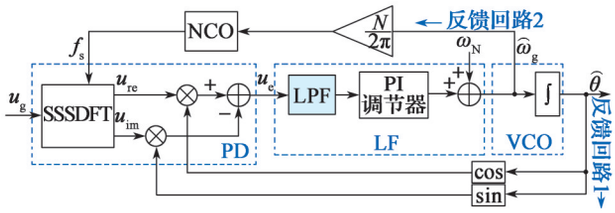


图8　基于SSSDFT的锁相环拓扑结构

Fig. 8　Topology of SSSDFT-based phase-locked loop

$$u_e=u_{re}\cos\left(\frac{2\pi k}{N}\right)-u_{im}\sin\left(\frac{2\pi k}{N}\right) \tag{12}$$

式中：$\dfrac{2\pi k}{N}$表示一个周期中第k次采样点的相位角。

假设$\widehat{\omega}_g$为真实角频率ω的估算值，φ_1和φ_0分别为估算相位角与真实相位角的初始值，则可以假设：$\dfrac{2\pi k}{N}=\widehat{\omega}_g t+\varphi_1$，$u_{re}=U_{1m}\sin(\omega t+\varphi_0)$，$u_{im}=U_{1m}\cos(\omega t+\varphi_0)$，将其代入式(12)中可得

$$\begin{aligned}u_e&=U_{1m}\sin(\omega t+\varphi_0)\cos\left(\widehat{\omega}_g t+\varphi_1\right)-\\&U_{1m}\cos(\omega t+\varphi_0)\sin\left(\widehat{\omega}_g t+\varphi_1\right)=\\&U_{1m}\sin\left[\left(\omega-\widehat{\omega}_g\right)t+\left(\varphi_0-\varphi_1\right)\right]\end{aligned} \tag{13}$$

当锁相环的调节达到稳定状态时，可以认为$\omega=\widehat{\omega}_g$，当综合误差$u_e\approx 0$，表明同步采样已实现，式(13)可简化为

$$u_e=U_{1m}\sin(\varphi_0-\varphi_1) \tag{14}$$

可以看出，综合误差信号u_e中包含了真实相位与估算相位的差值，将该误差信号送入PI调节器，并取电网额定角频率ω_N与PI调节器输出之和作为LF最终的输出信号。在电网频率发生变化时，PD会检测到相位误差，LF对误差信号进行调节，并通过反馈回路2改变NCO的输入，NCO产生的脉冲将实时调整下一个采样时刻，使得采样频率f_s与电网基波频率f_N保持同步。

4　仿真与试验

4.1　仿真验证

4.1.1　锁相环的适应性仿真

在理想网压的基础上分别模拟网压突变、频率突变、相位突变、直流偏置、谐波干扰等几种恶劣工况，

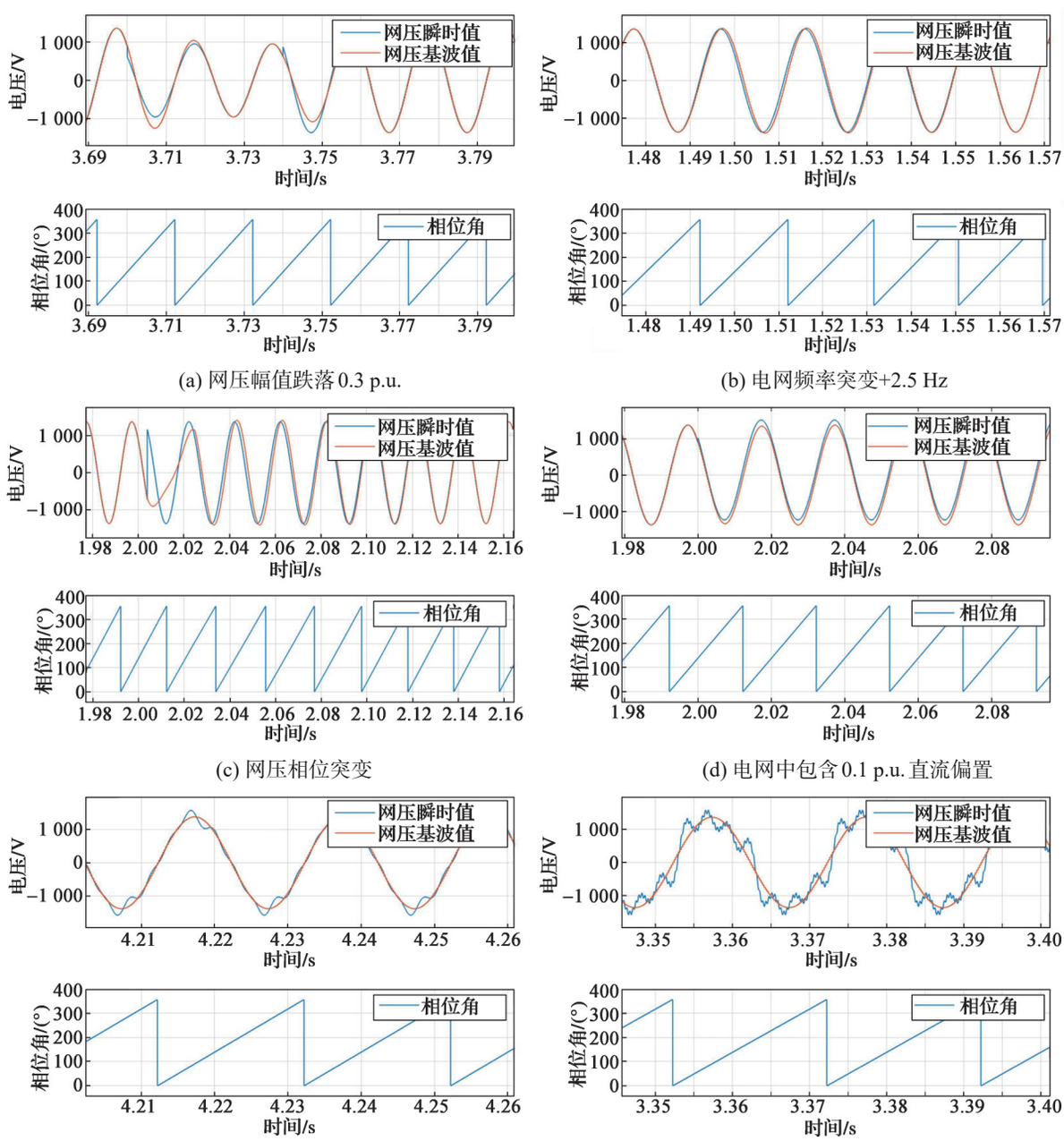
对锁相环的适应性进行了仿真验证。仿真结果如图 9 所示。

由图 9(a)可知，网压幅值突然跌落 0.3 p.u. 后，经过两个工频周期可恢复到额定值，在这个过程中，基波分量的提取在一个工频周期内完成，相位角保持稳定，网压的突变并未对锁相角产生较大影响。图 9(b)为电网频率出现大幅突增 2.5 Hz 的情况，此时基波的提取在两个工频周期内完成，相位角保持稳定，能快速跟踪频率的改变。图 9(c)中电网相位突变 90°，工况十分恶劣，经过约 3 个工频周期才实现了基波与真实值的重合，锁相角输出稳定。图 9(d)为电网出现直流偏置时，该锁相环仍能准确跟踪基波相位，抗扰能力强。由图 9(e)和 9(f)可知，当电网中包含丰富的低频谐波或者高频谐波干扰时，SSSDFT 算法能精确提取其基波分量，该锁相环能精准跟踪基波相位，对谐波的抗扰能力强。

4.1.2　多种锁相环性能对比仿真

为验证所述方法的有效性，在 25 kV/50 Hz 理想网压下，利用仿真软件对多种单相锁相环与本文所提锁相环的性能进行对比，选取了 LPF-PLL、DFAC-PLL、SOGI-PLL 这 3 种最为常用的锁相方法，分别在理想网压的基础上发生网压突变、频率突变、相位突变、直流偏置、谐波干扰等情况时进行了仿真对比。

图 10 为理想网压下 4 种锁相环的稳态性能。此时，LPF-PLL 的输出频率有±0.03 Hz 工频脉动，其他几种锁相环的输出频率脉动较小，造成这种情况的原因是



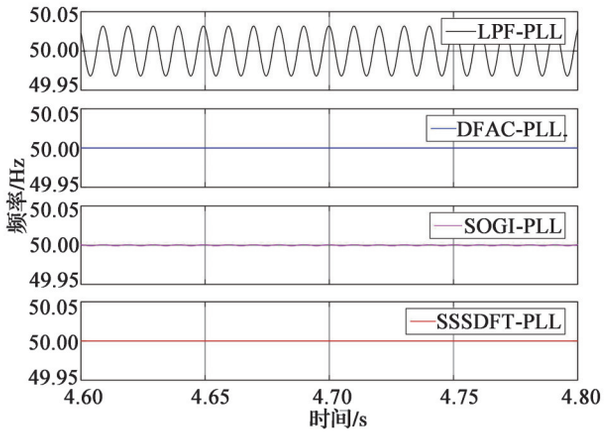
(a) 网压幅值跌落 0.3 p.u.　(b) 电网频率突变+2.5 Hz

(c) 网压相位突变　(d) 电网中包含 0.1 p.u. 直流偏置

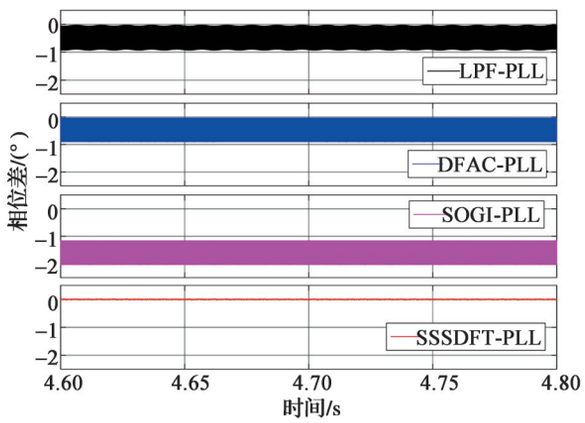
(e) 电网中包含丰富的低次谐波　(f) 电网中包含丰富的高次和低次谐波

图 9　理想电网时不同恶劣工况下 SSSDFT-PLL 方法的适应性仿真

Fig. 9　Adaptive simulation of the SSSDFT-PLL method under different severe operating conditions in an ideal power grid



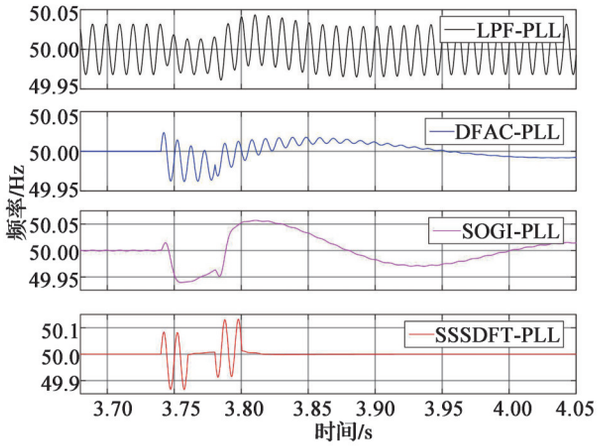
(a) 估算电网频率



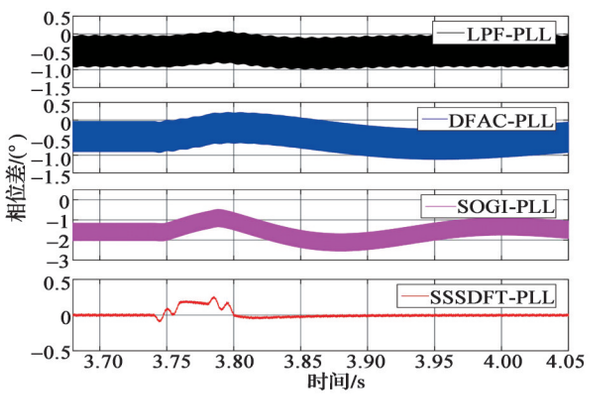
(b) 相位角的估算误差

图 10　理想网压下 LPF-PLL、DFAC-PLL、SOGI-PLL、SSSDFT-PLL 稳态性能对比

Fig. 10　Comparison of steady state performance among LPF-PLL, DFAC-PLL, SOGI-PLL, and SSSDFT-PLL under ideal grid voltage



(a) 估算电网频率



(b) 相位角的估算误差

图 11　理想网压跌落 0.3 p.u. 两个工频周期后恢复正常情况下 LPF-PLL、DFAC-PLL、SOGI-PLL、SSSDFT-PLL 性能对比

Fig. 11　Performance comparison among LPF-PLL, DFAC-PLL, SOGI-PLL, and SSSDFT-PLL when the ideal grid voltage drops by 0.3 p.u. and returns to normal after two grid frequency cycles

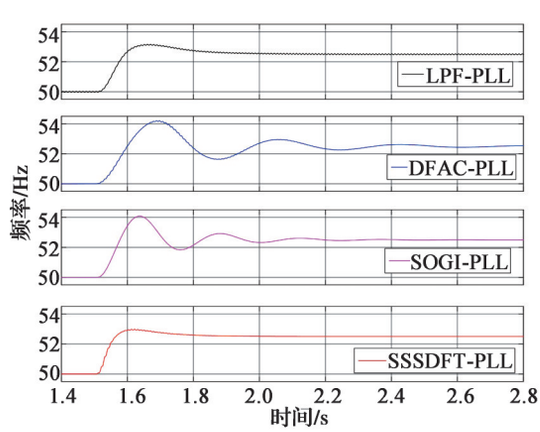
LPF-PLL 中的低通滤波器无法完全滤除鉴相器输出的二倍频脉动，而其他锁相环则能很好地消除这种脉动；对于相位差，SOGI-PLL 的误差约在 2°左右，LPF-PLL 与 DFAC-PLL 存在 1°左右的相位差，而 SSSDFT-PLL 的相位差几乎为零，锁相精度高于其他锁相环。

由图 11 可知，在网压幅值短暂跌落 0.3 p.u. 后，各锁相环都经过了一个暂态调节过程。其中，SSSDFT-PLL 调节速度较快，网压跌落及恢复只需约 1 个工频周期，而 LPF-PLL 大约需要 7 个工频周期恢复，DFAC-PLL 与 SOGI-PLL 在 15 个工频周期内还未能实现比较稳定的状态；相位差的情况与图 9(b) 类似，SSSDFT-PLL 在 0.05 s 内即实现了相位的快速跟踪，比其他几种锁相环的精度高而且速度快。

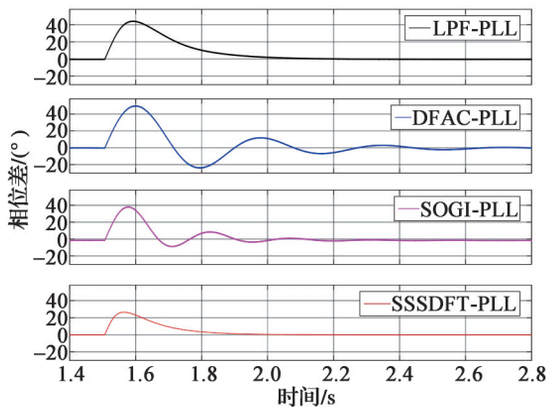
图 12 为电网频率突增 2.5 Hz 的工况，SSSDFT-PLL 最先实现频率的稳定输出，调节过程短，且跟踪平稳；相位差情况同样如此，在频率变化过程中，SSSDFT-PLL 保持了与真实相位最小的偏差，跟踪速度快。

图 13 为电网电压相位突变 90°的工况，能够对锁相环的性能进行严格检验，SSSDFT-PLL 与 LPF-PLL 性能较好，最先实现频率的重新跟踪，而 DFAC-PLL 与 SOGI-PLL 调节过程更长；相位差跟踪与输出频率类似。

图 14 为电网突然增加直流偏置时，SSSDFT-PLL 经过短暂的调节即恢复正常，稳定工况时直流偏置几乎没有造成影响，而其他几种锁相环都受到较大的影响。这是由于 SSSDFT 中的梳状滤波器具备了对直流信号及高频谐波的抑制能力。



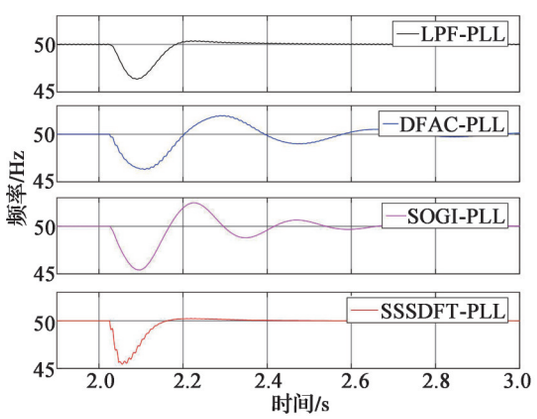
(a) 估算电网频率



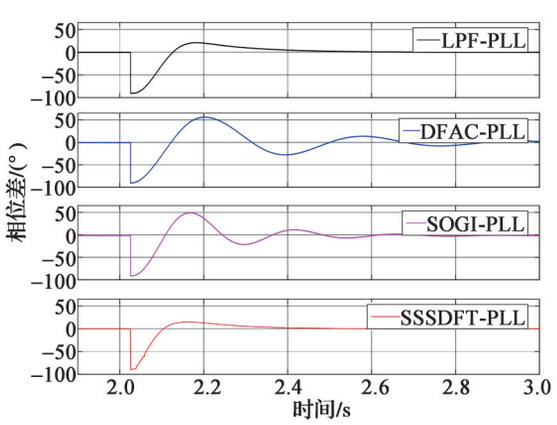
(b) 相位角的估算误差

图 12　理想电网频率突增 2.5 Hz 时 LPF-PLL、DFAC-PLL、SOGI-PLL、SSSDFT-PLL 稳态性能对比

Fig. 12　Comparison of steady state performance among LPF-PLL, DFAC-PLL, SOGI-PLL, and SSSDFT-PLL when the ideal grid frequency suddenly increases by 2.5 Hz



(a) 估算电网频率

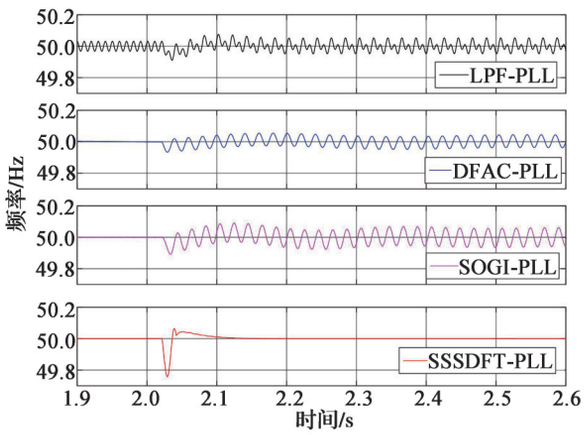


(b) 相位角的估算误差

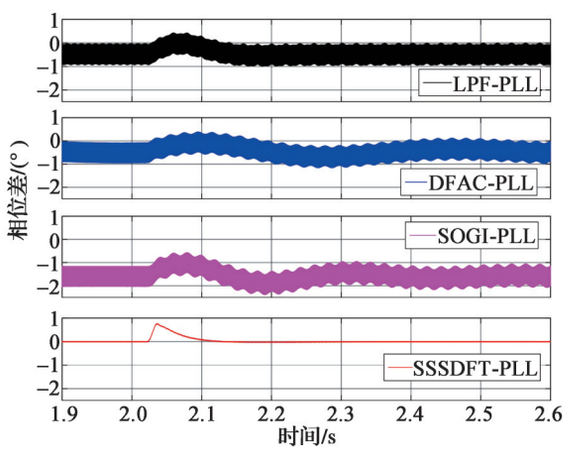
图 13　理想电网电压相位突变 90° 时 LPF-PLL、DFAC-PLL、SOGI-PLL、SSSDFT-PLL 稳态性能对比

Fig. 13　Comparison of steady state performance among LPF-PLL, DFAC-PLL, SOGI-PLL, and SSSDFT-PLL in a 90° phase jump of the ideal grid voltage

由图 15 可知，电网中突然增加 3 次、5 次、7 次谐波时，电网电压发生较大畸变，DFAC-PLL 与 SOGI-PLL 的频率波动明显增加，LPF-PLL 因为包含较



(a) 估算电网频率



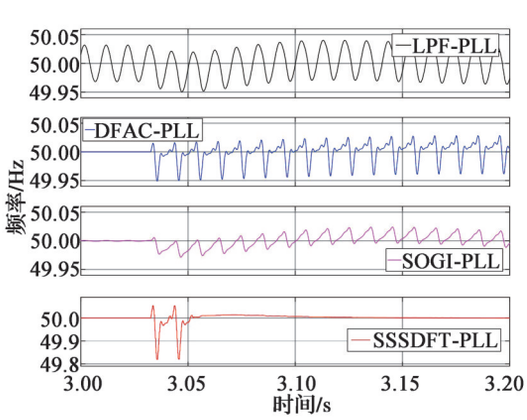
(b) 相位角的估算误差

图 14　理想电网电压含 DC 0.1 p.u. 时 LPF-PLL、DFAC-PLL、SOGI-PLL、SSSDFT-PLL 稳态性能对比

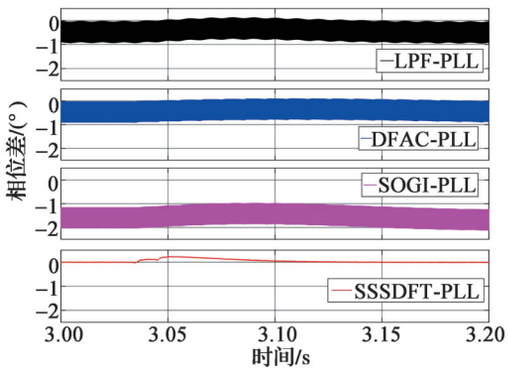
Fig. 14　Comparison of steady state performance among LPF-PLL, DFAC-PLL, SOGI-PLL, and SSSDFT-PLL when the ideal grid voltage contains DC 0.1 p.u.

低截止频率的低通滤波器而受到影响较小，但是仍然存在小幅的频率波动，而 SSSDFT-PLL 的输出频率十分稳定，恢复稳态后几乎未受谐波的影响。

以上几种锁相方法中，LPF-PLL 算法的运算量最小，对硬件资源的要求也最低，然而其锁相精度及对谐波的抗扰性易受外部影响，DFAC-PLL 及 SOGI-PLL 算法对硬件资源的要求较高，SSSDFT-PLL 算法由于采



(a) 估算电网频率



(b) 相位角的估算误差

图 15　理想电网电压含 0.05 p.u.3 次谐波、0.06 p.u.5 次谐波、0.07 p.u.7 次谐波时 LPF-PLL、DFAC-PLL、SOGI-PLL、SSSDFT-PLL 稳态性能对比

Fig. 15　Comparison of steady state performance among LPF-PLL, DFAC-PLL, SOGI-PLL, and SSSDFT-PLL when the ideal grid voltage contains 0.05 p.u. third harmonic, 0.06 p.u. fifth harmonic, and 0.07 p.u. seventh harmonic

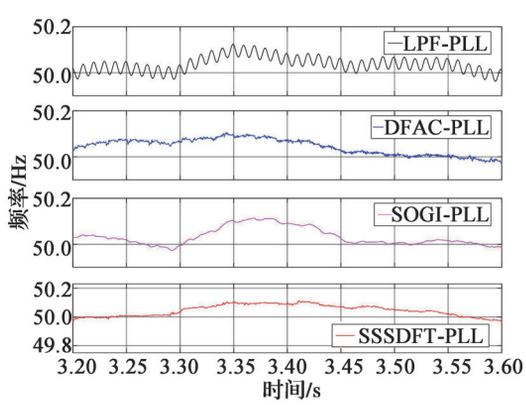
用了滑动运算，大幅降低了单个运算周期内的运算量，对硬件资源的消耗不大，在网压突变、频率突变、相位突变、直流偏置和谐波干扰等各种恶劣工况下，其锁相精度及抗扰性均表现良好，从综合性能与对资源的消耗来看，其优于其他几种工业上应用广泛的锁相环。

4.2　试验验证

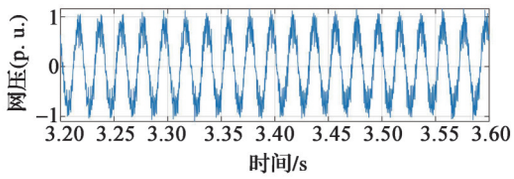
为验证 SSSDFT-PLL 方法在真实电网条件下的性能，利用 dSPACE 搭建了半实物试验平台，对 4 种锁相环性能进行了充分的验证。

将现场采集的网压数据进行处理后导入 dSPACE 中，对锁相环性能进行验证。由于现场网压波形连续，难以完成相位突变、频率突变等试验，但仍能较好地实现网压幅值跌落、直流偏置、谐波干扰等验证，而且现场网压中包含丰富的高频谐波，可验证不同锁相环对高频谐波的抗扰性。

图 16 为真实电网电压波形及其谐波频谱分布。此时，SSSDFT-PLL 与 SOGI-PLL 频率波动比较小，DFAC-PLL 频率波动稍大，LPF-PLL 频率波动最大，始终有一个二倍工频分量包含其中，稳态误差较大。



(a) 估算电网频率

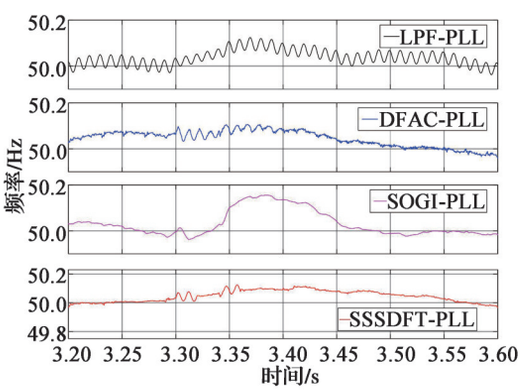


(b) 电网电压波形

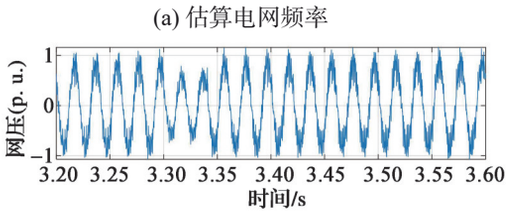
图 16　真实电网电压波形及其谐波频谱分布情况

Fig. 16　Waveform and its harmonic spectrum distribution of real grid voltage

图 17 为现场真实网压发生 0.3 p.u. 跌落，然后恢复正常的过程。在网压跌落以及恢复中，SSSDFT-PLL 均在一个工频周期的扰动后迅速恢复精确跟踪，SOGI-PLL 则发生了较大的波动，DFAC-PLL 调节时间比 SSSDFT-PLL 稍长，但稳态精度仍比较高，LPF-PLL 的输出频率中始终有一个二倍工频分量包含其中，误差较大。



(a) 估算电网频率



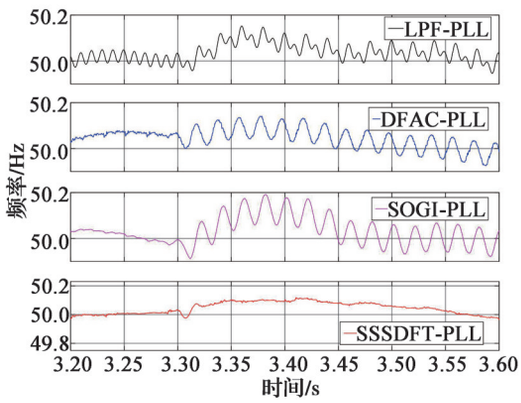
(b) 电网电压波形

图 17　在 3.3 s 时刻，真实网压跌落 0.3 p.u. 两个工频周期后恢复正常情况下 LPF-PLL、DFAC-PLL、SOGI-PLL、SSSDFT-PLL 性能对比

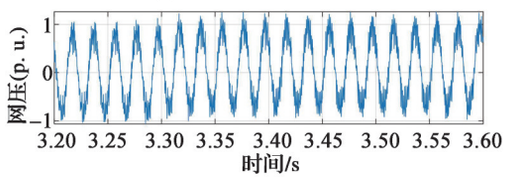
Fig. 17　Performance comparison among LPF-PLL, DFAC-PLL, SOGI-PLL, and SSSDFT-PLL at the moment of 3.3 s when the real grid voltage drops by 0.3 p.u. and then returns to normal after two grid frequency cycles

由图 18 可知，在电网电压中出现直流偏置时，SOGI-PLL、DFAC-PLL、LPF-PLL 的频率估算都出现了较大的脉动，这 3 种锁相环对直流偏置的影响比较大，而 SSSDFT-PLL 只经过了大约一个工频周期的调节即恢复精确跟踪，直流偏置对其影响较小。

由图 19 可知，在现场真实电网中注入大量 3、5、7 次低频谐波后，SOGI-PLL、DFAC-PLL、LPF-PLL 均受到影响，估算的电网频率都产生了波动，而 SSSDFT-PLL 对低次谐波造成的电网波形畸变仍有较高的抗扰能力，输出频率的波动幅度小，稳态精度高。



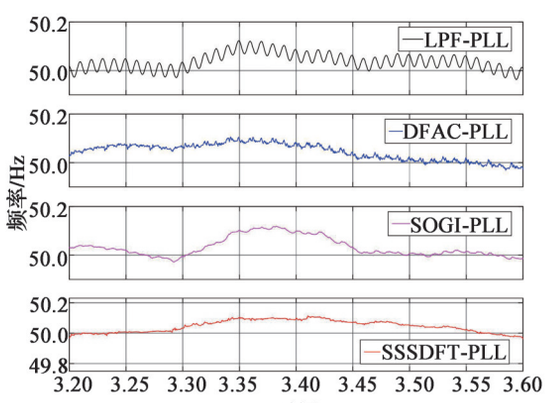
(a) 估算电网频率



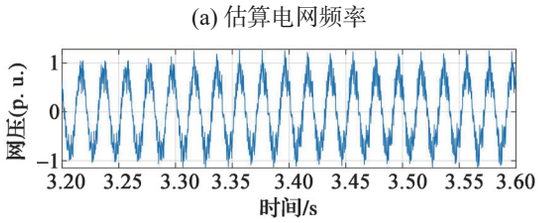
(b) 电网电压波形

图 18　在 3.3 s 时刻，真实电网电压含 DC 0.1 p.u. 时 LPF-PLL、DFAC-PLL、SOGI-PLL、SSSDFT-PLL 稳态性能对比

Fig. 18　Comparison of steady state performance among LPF-PLL, DFAC-PLL, SOGI-PLL, and SSSDFT-PLL at the moment of 3.3 s when the real grid voltage contains DC 0.1 p.u.



(a) 估算电网频率



(b) 电网电压波形

图 19　在 3.3 s 时刻，真实电网电压含 0.05 p.u.3 次谐波、0.06 p.u.5 次谐波、0.07 p.u.7 次谐波时 LPF-PLL、DFAC-PLL、SOGI-PLL、SSSDFT-PLL 稳态性能对比

Fig. 19　Comparison of steady state performance among LPF-PLL, DFAC-PLL, SOGI-PLL, and SSSDFT-PLL at the moment of 3.3 s when the real grid voltage contains 0.05 p.u. third harmonic, 0.06 p.u. fifth harmonic, and 0.07 p.u. seventh harmonic

上述半实物仿真结果表明，在 3.3 s 时刻发生网压跌落、直流偏置及低次谐波干扰的工况下，SSSDFT-PLL 仍能保持较高的快速调节能力、直流偏置抑制能力及低次谐波抗扰能力，锁相环经历一个短暂的调节后即可迅速恢复到稳定的工作状态，相比于其他几种常用的锁相环，其性能更为优良。

5　结语

本文对比分析了工程上常用锁相环技术的现状与不足，从控制系统的采样方法入手，分析了多控制器下的采样误差对锁相环一致性的影响，设计了一种适宜于低开关频率的同步采样方法，并将同步采样与 SDFT 算法相结合，研究了一种 SSSDFT 算法，同时，研究了该算法的递归累积误差抑制策略，并提出一种基于 SSSDFT 的锁相环方法，该方法稳态锁相精度高，动态响应速度快，并有较强的谐波抑制能力与抗偏置能力，在轨道交通领域具有较强的工程应用价值。

参考文献：

[1] AMANCI A Z, DAWSON F P. Synchronization system with zero-crossing peak detection algorithm for power system applications[C]//IEEE. The 2010 International Power Electronics Conference - ECCE ASIA. Sapporo: IEEE, 2010: 2984-2991.

[2] 曾君, 岑德海, 陈润, 等. 针对直流偏移和谐波干扰的单相锁相环[J]. 电工技术学报, 2021, 36(16): 3504-3515.
ZENG Jun, CEN Dehai, CHEN Run, et al. Single-phase phase-locked loop for DC offset and harmonic interference [J]. Transactions of China electrotechnical society, 2021, 36 (16): 3504-3515.

[3] 张振波, 王海云, 王维庆, 等. 基于改进型环路滤波器的单相锁相环[J]. 电力系统保护与控制, 2021, 49(13): 135-141.
ZHANG Zhenbo, WANG Haiyun, WANG Weiqing, et al. Single phase locked loop based on improved loop filter[J]. Power system protection and control, 2021, 49(13): 135-141.

[4] KIM N H, LEE K Y. A design of phase shifting phase locked loop with dual loop structure for beamforming application[C]//IEEE. 2023 Fourteenth International Conference on Ubiquitous and Future Networks (ICUFN). Paris: IEEE, 2023: 752-756.

[5] AHIRWAR R, SHANKHWAR H K, KAUSHAL G, et al. Design high frequency phase locked loop using single ended VCO for high speed applications[C]//IEEE. 2022 IEEE Conference on Interdisciplinary Approaches in Technology and Management for Social Innovation (IATMSI). Gwalior: IEEE, 2022: 1-6.

[6] PRAKASH S, SINGH J K, BEHERA R K, et al. Comprehensive analysis of SOGI-PLL based algorithms for single-phase system[C]//IEEE. 2019 National Power Electronics Conference (NPEC). Tiruchirappalli: IEEE, 2019: 1-6.

[7] GOLESTAN S, GUERRERO J M, VASQUEZ J C. Single-phase PLLs: a review of recent advances[J]. IEEE transactions on power electronics, 2017, 32(12): 9013-9030.

[8] XU Jinming, QIAN Hao, BIAN Shenyiyang, et al. Comparative study of single-phase phase-locked loops for grid-connected inverters under non-ideal grid conditions[J]. CSEE journal of power and energy systems, 2022, 8(1): 155-164.

[9] KARIMI-GHARTEMANI M. A unifying approach to single-phase synchronous reference frame PLLs[J]. IEEE transactions on power electronics, 2013, 28(10): 4550-4556.

[10] XIE Menxi, HE Liqun, FAN Mingdi, et al. Power based single-phase PLL with in-loop fix delay filter under distortion [C]//IEEE. 2020 IEEE 9th International Power Electronics and Motion Control Conference (IPEMC2020-ECCE Asia). Nanjing: IEEE, 2020: 1338-1342.

[11] XU Zhengxiang, HE Xiaoqiong, SHU Zeliang, et al. Implementation of single-phase PLL based on FPGA[C]//IEEE. 2013 International Conference on Mechanical and Automation Engineering. Jiujang: IEEE, 2013: 168-171.

[12] BLAABJERG F, TEODORESCU R, LISERRE M, et al. Overview of control and grid synchronization for distributed power generation systems[J]. IEEE transactions on industrial electronics, 2006, 53(5): 1398-1409.

[13] HAN Yang, LUO Mingyu, ZHAO Xin, et al. Comparative performance evaluation of orthogonal-signal-generators-based single-phase PLL algorithms - a survey[J]. IEEE transactions on power electronics, 2016, 31(5): 3932-3944.

[14] GOLESTAN S, MONFARED M, FREIJEDO F D, et al. Design and tuning of a modified power-based PLL for single-phase grid-connected power conditioning systems[J]. IEEE transactions on power electronics, 2012, 27(8): 3639-3650.

[15] CIOBOTARU M, Teodorescu R, BLAABJERG F. A new single-phase PLL structure based on second order generalized integrator[C]//IEEE. 2006 37th IEEE Power Electronics Specialists Conference. Jeju: IEEE, 2006: 1-6.

[16] MOHAMADIAN S, PAIRO H, GHASEMIAN A. A straightforward quadrature signal generator for single-phase SOGI-PLL with low susceptibility to grid harmonics[J]. IEEE transactions on industrial electronics, 2022, 69(7): 6997-7007.

[17] XIAO Furong, DONG Lei, LI Li, et al. A frequency-fixed SOGI-based PLL for single-phase grid-connected converters [J]. IEEE transactions on power electronics, 2017, 32(3): 1713-1719.

[18] VARAPRASAD O V S R, PANDA R K, SARMA D V S S S. A novel synchronous sampling algorithm for power system harmonic analysis[C]//IEEE. 2013 Annual IEEE India Conference (INDICON). Mumbai: IEEE, 2013: 1-5.

[19] DARWISH H A. FIKRI M. Practical considerations for recursive DFT implementation in numerical relays[J]. IEEE transactions on power delivery, 2007, 22(1): 42-49.

[20] 加德纳 . 锁相环技术:[M]. 3 版 . 姚剑清, 译 . 北京: 人民邮电出版社, 2007.
GARDNER F M. Phaselock techniques[M]. 3rd ed. YAO Jianqing, translate. Beijing: Posts & Telecom Press, 2007.

[21] SUBRAMANIAN C, KANAGARAJ R. Single-phase grid voltage attributes tracking for the control of grid power converters[J]. IEEE journal of emerging and selected topics in power electronics, 2014, 2(4): 1041-1048.

[22] SUMATHI P, JANAKIRAMAN P A. Integrated phase-locking scheme for SDFT-based harmonic analysis of periodic signals[J]. IEEE transactions on circuits and systems II: express briefs, 2008, 55(1): 51-55.

[23] TURNER C S. Recursive discrete-time sinusoidal oscillators[J]. IEEE signal processing magazine, 2003, 20(3): 103-111.

A study on high-performance single-phase phase-locked loop method based on synchronous sampling SDFT

CHEN Zhibo[1,2], LI Xueming[1], GAN Weiwei[1], GAO Jian[2], HUANG Shoudao[2]

(1. Zhuzhou CRRC Times Electric Co., Ltd., Zhuzhou, Hunan 412001, China;
2. College of Electrical and Information Engineering, Hunan University, Changsha, Hunan 410082, China)

Abstract: In the traction drive control system of electric locomotives and rolling stock, the grid-side converter obtains phase information through a phase-locked loop and carries out precise control. The voltage amplitude and frequency of the traction power supply network fluctuate, and the network voltage often has serious distortion and contains a large number of harmonics, so the complex grid environment puts forward high requirements for the performance of phase-locked loops. In combination with synchronous sampling, this paper proposes a high-performance phase-locked loop method based on SDFT. The performance of this method was verified through digital simulation and semi-physical simulation tests. The test results show that, compared with several other mainstream phase-locked loop methods, this method has high steady-state phase-locking accuracy, fast dynamic response speed, and strong harmonic suppression and anti-bias capability, and is suitable for application in the field of rail transit.

Keywords: four-quadrant converter; synchronous sampling; SDFT; phase-locked loop; harmonic suppression; disturbance immunity

收稿日期：2022-12-18