DOI：10.13890/j.issn.1000-128X.2023.05.002
文章编号：1000-128X(2023)05-0010-16

碳化硅沟槽栅MOSFET技术研究进展

罗海辉[1,2]，李诚瞻[1,2]，姚　尧[1,2]，杨松霖[1,2]
（1.株洲中车时代半导体有限公司，湖南 株洲　412001；
2.功率半导体与集成技术全国重点实验室，湖南 株洲　412001）

摘　要：第三代宽禁带半导体碳化硅金属氧化物半导体场效应晶体管（SiC MOSFET）具备耐高压、耐高温和低损耗等优点，迅速成为行业的研究热点。文章结合SiC功率MOSFET器件发展历史，探讨了从平面栅技术发展到沟槽栅技术的必要性，介绍了SiC沟槽栅MOSFET结构设计、沟槽刻蚀工艺和沟槽栅氧工艺等核心问题的研究进展与技术挑战，并对未来新型SiC沟槽栅MOSFET技术进行了展望。

关键词：碳化硅；沟槽栅MOSFET；沟槽工艺；沟槽栅氧；沟槽结构；新型沟槽
中图分类号：TN304.2+4　　**文献标识码：**A

A review on research development of SiC trench gate MOSFET technology

LUO Haihui[1,2], LI Chengzhan[1,2], YAO Yao[1,2], YANG Songlin[1,2]

(1. Zhuzhou CRRC Times Semiconductor Co., Ltd., Zhuzhou, Hunan 412001, China;
2. State Key Laboratory of Power Semiconductor and Integration Technology, Zhuzhou, Hunan 412001, China)

Abstract: The third-generation wide-bandgap semiconductor silicon carbide (SiC) MOSFET devices have rapidly become a research hotspot in the production and research sectors due to their advantages, such as high voltage resistance, high-temperature resistance and low loss. This paper, in conjunction with the development history of SiC MOSFET devices, discussed the necessity of transitioning from planar gate technology to trench gate technology. It elaborated on the technical challenges and research progress related to SiC trench gate MOSFET structure design, trench etching processes, trench gate oxide processes and other core issues. Finally, it provided an outlook for future advanced SiC trench gate MOSFET technology.

Keywords: silicon carbide; trench gate MOSFET; trench process; trench gate oxide; trench structure; novel trench technology

0　引言

宽禁带半导体材料碳化硅（Silicon Carbide，SiC）由于具有高临界击穿电场、高热导率和高电子饱和速度等优点，成为了耐高压、耐高温和高频率大功率电力电子器件的理想选择[1-4]。SiC金属氧化物半导体场效应晶体管（Metal-Oxide-Semiconductor Field Effect Transistor，MOSFET）是一种具有理想栅极绝缘特性的单极性器件，在关断过程中不存在拖尾电流，可以大幅降低开关损耗和减小散热器体积[5-6]。此外，SiC MOSFET开关频率高，有利于减小电力电子装置中无源滤波元件体积和重量，提高装置的效率和功率密度[7-8]。

自2010年罗姆半导体集团（Rohm）和科锐公司（Wolfspeed）相继推出SiC平面栅MOSFET产品以来[9]，经过10余年的技术发展，SiC MOSFET技术逐渐从SiC平面栅MOSFET向SiC沟槽MOSFE过渡。硅（Si）基沟槽栅MOSFET器件技术已充分证明，相比于平面栅结构，沟槽结构可以有效缩小元胞尺寸，增加

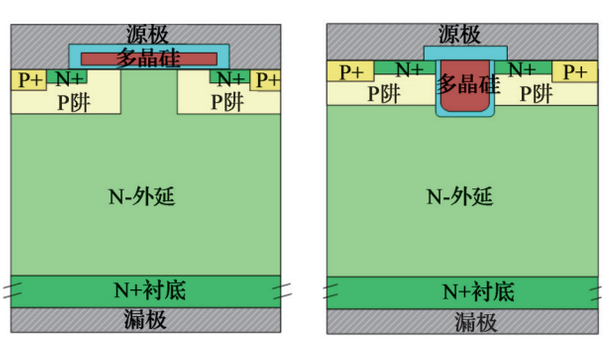
基金项目：湖南省科技重大项目（2021GK1180）
通信作者：罗海辉（1982—），男，博士，正高级工程师，主要从事功率半导体器件芯片与应用技术研究；E-mail: luohh@csrzic.com
引用格式：罗海辉, 李诚瞻, 姚尧, 等. 碳化硅沟槽栅MOSFET技术研究进展[J]. 机车电传动, 2023(5): 10-25.
Citation: LUO Haihui, LI Chengzhan, YAO Yao, et al. A review on research development of SiC trench gate MOSFET technology[J]. Electric drive for locomotives,2023(5): 10-25.

沟道密度[10]，并且对于4H-SiC材料，垂直晶面缺陷密度低，沟道迁移率高[11-12]。因此，SiC沟槽栅MOSFET可以在降低比导通电阻的同时，使用更厚的栅氧化层来提升栅氧可靠性[13]。

SiC沟槽技术的发展也面临阻断状态下沟槽底部栅氧电场过高、沟槽刻蚀工艺容易出现微沟槽[14-15]、高可靠性栅氧难以获取等问题[16-17]。本文将回顾SiC MOSFET器件发展历程，对SiC沟槽栅MOSFET关键技术挑战和发展现状进行分析与介绍，并对未来新型沟槽结构技术进行前瞻性展望。

1　碳化硅沟槽栅技术发展的必要性和挑战

SiC高界面态问题一直伴随在SiC发展历程中，尽管SiC衬底、外延技术和栅氧界面处理技术在不断提升，平面栅MOSFET的SiC/SiO_2界面仍存在较高的界面态密度，导致其沟道迁移率偏低[18-19]，需通过降低栅氧化层厚度或提高栅极驱动电压来提升SiC平面栅MOSFET的沟道迁移率，但是这2种方式均会损害SiC MOSFET的栅氧可靠性[20]。由于高界面态问题，采用沟槽结构是一个有效的解决方案，意法半导体（ST Microelectronics）在2021年推出16 mΩ平面栅MOSFET后，计划于2025—2026年推出沟槽栅MOSFET[21]。2015年Rohm的技术路线从平面栅MOSFET技术转变为沟槽栅MOSFET技术，推出了SiC沟槽栅MOSFET产品[22]。2017年英飞凌公司（Infineon）发布了沟槽栅MOSFET产品CoolSiC™ MOSFET[23]。因此，SiC沟槽栅MOSFET是主流厂商未来发展的重要产品，SiC平面栅MOSFET与SiC沟槽栅MOSFET结构如图1所示。



(a) 平面栅　　(b) 沟槽栅

图1　SiC MOSFET结构

Fig. 1　SiC MOSFET structure

SiC沟槽栅MOSFET结构通过沟槽刻蚀在沟槽侧壁形成垂直沟道，主要优点包括：①沟槽栅型MOSFET器件能实现更小的元胞尺寸，器件元胞与沟道密度更高[10]；②SiC沟槽栅MOSFET的侧壁(11-20)、(1-100)晶面的理论电子迁移率是(0001)面的2倍[24]，具有更高的沟道迁移率，器件沟道电阻更小；③SiC沟槽栅MOSFET器件P屏蔽区域更深，短路热点位于器件体内，器件短路鲁棒性更好[13,25]，如图2[13]所示；④SiC沟槽栅MOSFET器件栅极与漏极交叠面积小，器件的米勒电容C_{GD}更小，器件的高频特性更好[10]。

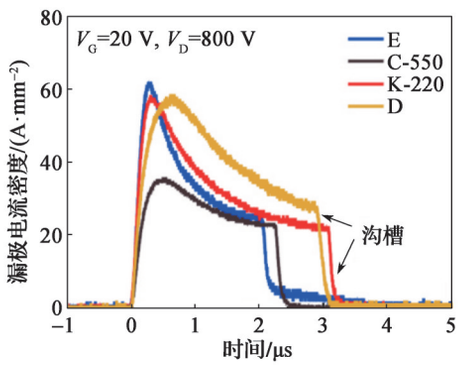


图2　SiC沟槽MOSFET与平面MOSFET短路鲁棒性比较

Fig. 2　The comparison of robustness between SiC trench MOSFET and SiC planar MOSFET

SiC沟槽栅MOSFET在栅氧电场应力屏蔽方面也面临更高的挑战：一方面，在相同正向导通能力下，SiC宽禁带功率器件相对Si器件具有更高的临界击穿电场，从而导致在阻断状态下其栅氧化层面临着更大的电场应力[26]（如图3所示），并且相对于SiO_2/Si体系，SiO_2/SiC体系的势垒高度更低[27]，产生FN隧穿电流的电场强度更小，这使得SiC器件的栅氧可靠性面临更大风险。另一方面，SiC材料具有高硬度和强化学稳定性的特性，其密度（3.21 g/cm^3）和弹性模量（380~700 GPa）比Si材料高很多，使得在沟槽刻蚀过程中，易出现微沟槽等问题[14-15]，同时由于非极化和极化晶面的各向异性，也给沟槽栅氧的一致性生长带来挑战[16-17]。综上所述，本文将就沟槽结构电场屏蔽技术、沟槽刻蚀技术和沟槽栅氧技术三大技术挑战展开论述。

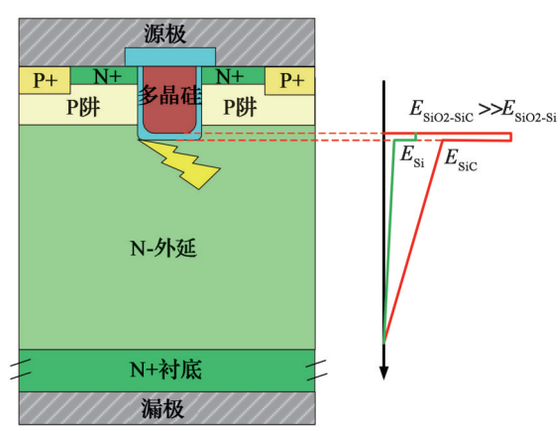


图3　SiC沟槽栅氧化层电场分布

Fig. 3　Electric field distribution of SiC trench MOSFET oxide layer

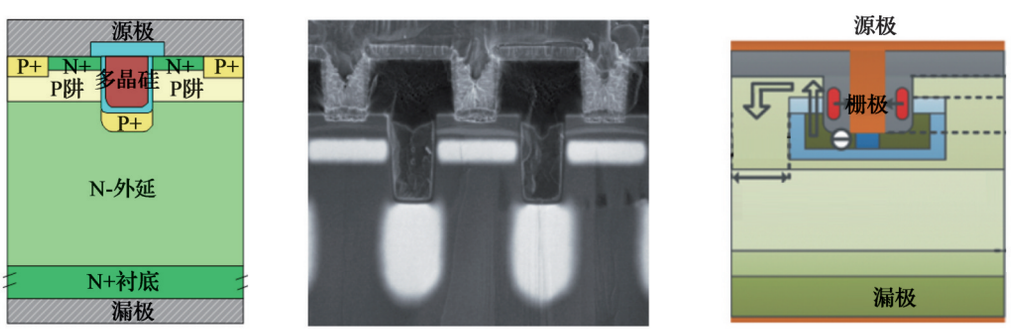
2　SiC沟槽栅关键难点技术

2.1　SiC沟槽屏蔽技术

针对SiC沟槽器件栅氧电场问题，在SiC沟槽设计

时必须引入相应的屏蔽结构，以满足沟槽结构栅氧化层电场小于3 MV/cm的要求[28-29]。目前，国内外报道的屏蔽结构主要可分为直接屏蔽结构、间接屏蔽结构、非对称屏蔽结构、三维屏蔽结构。这些结构根据实现路径的不同，可以分为离子注入方式、多次外延方式。本部分将从屏蔽方式与实现路径上，介绍国内外报道的沟槽屏蔽结构，阐述相关结构的优缺点。

直接屏蔽结构是在沟槽栅氧化层底部构造P型的屏蔽层，从而针对性地保护沟槽底部栅氧化层。1998年，普渡大学J. A. Cooper团队报道了这种SiC沟槽MOSFET（GP-MOS）结构[30]，结构如图4(a)所示。该结构在沟槽刻蚀后进行一次离子注入，在沟槽底部形成一种高浓度掺杂的P型屏蔽区。在阻断状态下，屏蔽区与漂移区形成的PN结将会承受漏极到栅极的电压，从而降低栅氧电场，具有这种屏蔽结构的MOSFET耐压可达到1 400 V。虽然屏蔽区能够大幅降低栅氧电场，但导通电阻会大幅度增加，增加的电阻主要来自2方面：一方面是P+屏蔽区的引入会在沟道下方形成1个寄生JFET区，从而引入JFET电阻[31]；另一方面是出于器件开关特性与栅氧可靠性的考虑，P+屏蔽区必须与源极保持等电位[32-33]，这就需在垂直方向构造大量源极接触区与P+屏蔽结构相连接，从而牺牲了芯片的通流面积，使得导通电阻增加。2014年，三菱电机公司（Mitsubishi）报道的GP-MOS，在7 μm的外延下，实现了652 V的耐压和2.15 mΩ·cm^{2}的比导通电阻[32]。2020年，丰田合成株式会社（TOYODA GOSEI）也报道了一种短沟道、深P阱的GP-MOS，如图4(b)[34]所示，该结构P阱深度达到了1.4 μm，器件耐压为1 080 V，室温下可实现的比导通电阻低至1.19 mΩ·cm^2（V_{GS}=20 V）。2020年，中国科学院半导体研究所报道了一种反向沟道SiC沟槽MOSFET（RC-MOS），如图4(c)[35]所示，该结构也是采用直接屏蔽方式，将N+区埋于沟槽底部的P型屏蔽层内，实现沟道载流子的反向流动，在器件栅氧电场远小于3 MV/cm的情况下，器件比导通电阻为2.49 mΩ·cm^2。此外，该结构还展现了十分优异的高频特性，动态巴利加优值（Baliga High Frequency Figure of Merit，HFOM）仅为82 mΩ·nC。



(a) GP-MOS (b) 深P阱GP-MOS剖视图（TOYODA） (c) RC-MOS结构示意图（中国科学院）

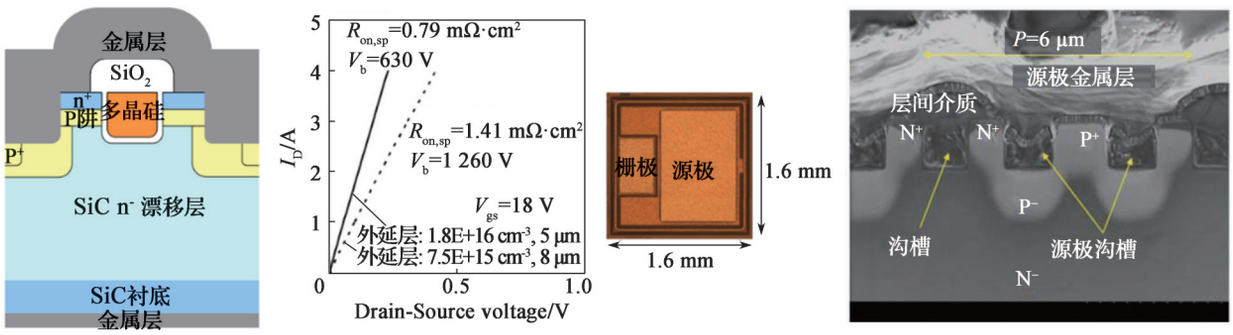
图4 直接屏蔽结构

Fig. 4 Direct shielding structure

间接屏蔽结构是在沟槽两侧引入P阱区，将栅氧底部的大部分电场线中止于两侧的P阱处，通过电场间接屏蔽的方式，实现对栅氧化层的保护。间接屏蔽结构需要构建比沟槽更深的P阱区域，以实现对沟槽底部的栅氧有效保护，因此如何实现合适深度的P阱区域是关键技术。下面介绍3种实现路径：

① Rohm公司通过额外增加源极槽刻蚀，再对该源极槽进行离子注入，以获得足够深度的P阱区域。2011年在IEDM会议上，该公司相关研发团队公布了研究成果，并将该结构命名为双沟槽结构（DT-MOS），结构示意图如图5(a)[36]所示。该研究报告显示，采用了7.5E+15 cm^{-3}/(7 μm)外延，双沟槽结构在600 V阻断电压下栅氧化层峰值电场强度为1.66 MV/cm，而无屏蔽结构的峰值电场强度为2.66 MV/cm，双沟槽结构相对于无屏蔽结构栅氧电场降低了37.6%，同时能够实现1 260 V的耐压和1.41 mΩ·cm^{2}的比导通电阻，器件特性曲线如图5(b)[36]所示。无论从结构的简洁性和工艺复杂度，还是从器件特性角度而言，双沟槽结构实现了两者较优的平衡。该结构的提出也使得SiC沟槽栅MOSFET器件商业化发展迈出第一步。2015年Rohm公司公布的沟槽栅产品实际剖面图如图5(c)[37]所示，在源极槽内存在栅氧介质残留。为了保证较低的体二极管导通压降和P阱良好的接地，该结构还在源极沟槽一侧增加了1个额外的体二极管区域，这导致整体元胞尺寸达到了6 μm，比导通电阻约为4.4 mΩ·cm^2@V_{GS}=18 V[25]。

② 通过外延方式构造沟槽两侧的P阱区，该方式避免了源极沟槽的刻蚀，同时使得二极管区域的设计更加灵活。2017年，富士电机公司（Fuji）与日本国家先进工业科学与技术研究所（AIST）报道了一种P埋层的SiC沟槽栅MOSFET，称为IE-UMOSFET[38]，其结构如图6(a)[38]所示。与双沟槽结构两侧的屏蔽区比较，IE-UMOSFET两侧的P阱深度较浅、掺杂较轻，因此在栅极槽下方通过离子注入方式形成超出沟槽宽度的P

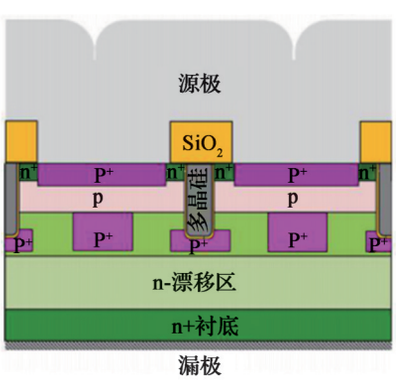


(a) 双沟槽结构　　(b) 双沟槽结构器件特性　　(c) 双沟槽结构实际剖面图

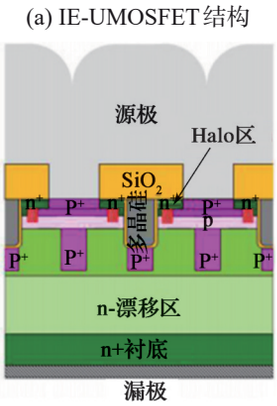
图5　双沟槽结构

Fig. 5　Double trench structure

阱，对栅氧底部和侧壁实现更好的保护。该结构元胞尺寸为5 μm，沟槽侧壁采用（1-100）面，比导通电阻为3.4 mΩ·cm^2@V_{TH}=3.2 V，器件耐压为1 605 V[39]。2020年，筑波大学与AIST研究所报道了一种采用Halo注入工艺制造的短沟道沟槽IE-UMOSFET结构，称为IE-UMOSFET-fine，如图6(b)[40]所示。IE-UMOSFET-fine结构采用了0.4 μm的沟道，大幅减小了沟道区域的电阻；同时，Halo区对N+区进行了一定保护，有效地避免了沟道穿通导致的阻断电压急剧下降，并且不影响其他区域掺杂。此外，该结构采用了更窄的P+区域，实现导通电阻与栅氧电场更好的折中关系，其元胞尺寸为3.2 μm，比导通电阻为2.0 mΩ·cm^2@V_{TH}=4.3 V，器件耐压为1 397 V。



(a) IE-UMOSFET结构



(b) IE-UMOSFET-fine结构

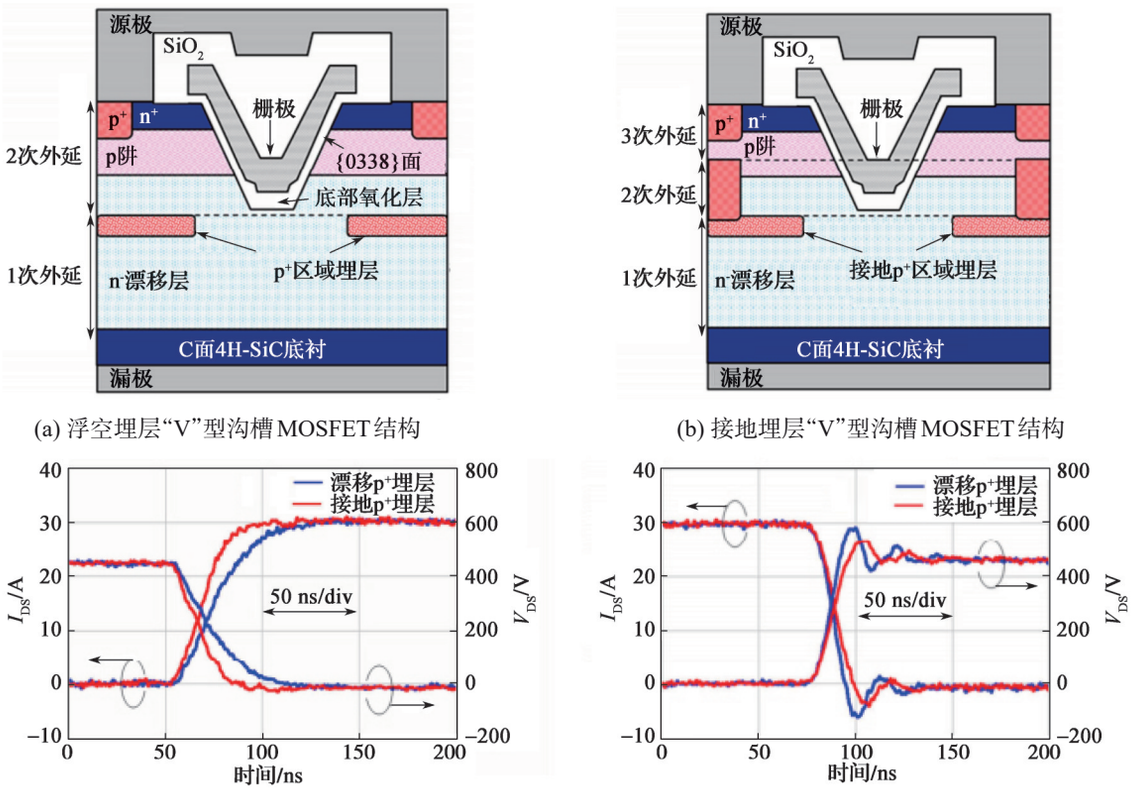
图6　短沟道沟槽IE-UMOSFET结构

Fig. 6　Short channel IE-UMOSFET structure

2014年日本住友电工（Sumitomo）也报道了一种通过外延实现的P埋层“V”型沟槽栅MOSFET[41]，结构如图7(a)[42]所示。该结构通过2次外延加离子注入的方式得到足够深度的P+埋层区域，以实现对栅氧电场的屏蔽。该器件在1 700 V耐压下，能够实现3.5 mΩ·cm^{2}的比导通电阻，并呈现了优异的开关特性，开启时间仅为92 ns，关断时间仅为27 ns。为了获得更好的栅氧屏蔽效果与器件开关特性，2017年住友公司报道了一种接地P+埋层“V”型沟槽MOSFET，结构如图7(b)[42]所示，其中P+埋层接地结构通过3次外延及离子注入实现。图7(c)为上述两者开关特性对比的示意图。由图7(c)可知，接地的3层P区结构在具备屏蔽栅氧电场功能的同时，还能有效地提升器件开关速度，抑制器件浪涌，并消除开关过冲与振荡。2020年住友报道的接地P埋层“V”型沟槽MOSFET[43]，比导通电阻为3.1 mΩ·cm^2，栅极阈值电压4.1 V。

③ 随着离子注入工艺的发展，直接采用高能离子注入方式也能形成深P阱结构。2022年，德国博世公司（Bosch）推出的SiC沟槽栅MOSFET便采用高能离子注入方案形成深P阱[44]，结构剖视图如图8(a)所示。相较于双沟槽结构，深P阱没有源极槽栅氧介质残留，同时无须考虑双沟槽侧向离子注入对沟道的影响，兼具灵活的设计。虽然高能离子注入可能会在晶圆表面产生损伤，但主要集中在体二极管区域，对器件整体性能影响较小。2016年，Fuji公司也报道了一种采用MeV离子注入实现的3.3 kV沟槽栅SiC MOSFET，如图8(b)[45]所示，可实现9.4 mΩ·cm^{2}的比导通电阻和3 800 V的阻断电压。该结构在栅极槽底部也增加了P型屏蔽结构，以获得足够的栅氧电场屏蔽能力。

以上报道的两侧屏蔽型结构采用刻槽注入、外延注入和高能注入等方式均可实现栅氧电场良好的屏蔽性，但其弊端在于两侧埋层可能导致元胞尺寸微缩困难。2017年德国英飞凌公司报道了一种采用通过高能离子注入形成的非对称屏蔽SiC沟槽栅MOSFET[23]，结构如图9(a)所示。该结构的优势在于放弃迁移率较低的(-1-120)面沟道[46]，缩短相邻高能注入的P阱间距，使



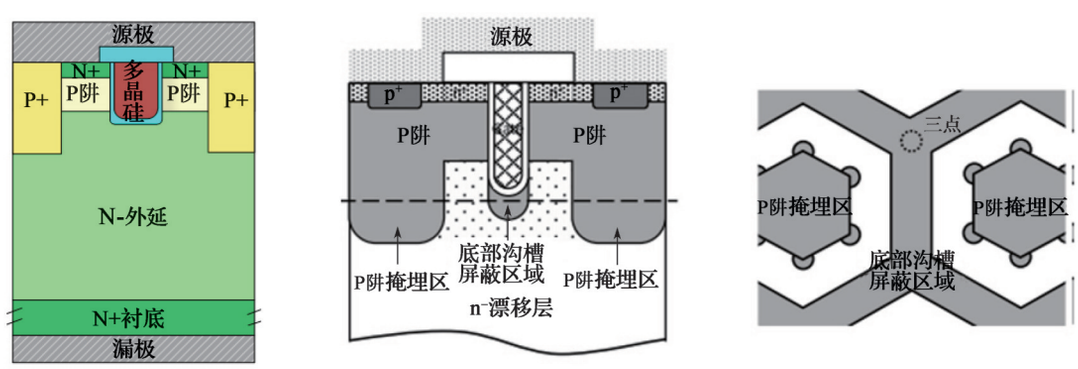
(a) 浮空埋层“V”型沟槽MOSFET结构

(b) 接地埋层“V”型沟槽MOSFET结构

(c) 接地埋层与浮空埋层结构开关特性对比

图7 接地P+埋层“V”型沟槽MOSFET

Fig. 7 Grounded buried P+ region V-groove trench MOSFET



(a) 沟槽栅MOSFET结构(Bosch)

(b) 高能离子注入结构示意图(Fuji)

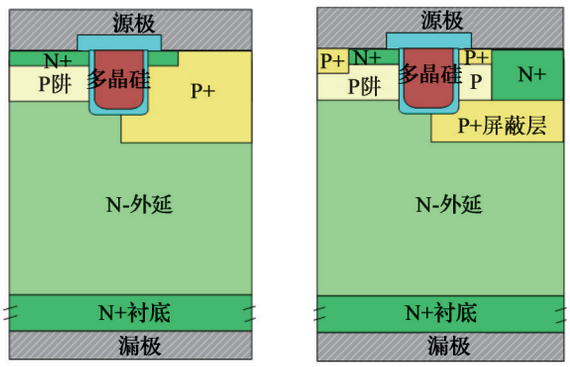
图8 高能离子注入深P阱结构

Fig. 8 High energy implantation deep P-base structure

其相对于两侧屏蔽型结构，具有更小的元胞尺寸和更优的栅氧电场屏蔽效果[47]。同时，由于高能离子注入的P阱包裹了大部分栅极沟槽，因此非对称结构的C_{GD}也能实现一定幅度的减小[48]，优化器件的高频特性。在元胞尺寸为3.2 μm的情况下，非对称结构比导通电阻约为3.7 mΩ·cm^2[25]。2019年，电子科技大学在非对称屏蔽结构上提出一种P+屏蔽层电位可调的SiC沟槽栅MOSFET器件[49]，结构如图9(b)所示。该结构在阻断状态下，P+屏蔽层通过P区与P+源极保持等电位，接地保护栅氧化层。在导通状态下，通过栅压耗尽P区，夹断寄生的JFET，抬升P+屏蔽层的电位，从而使P+屏蔽层在漂移区的耗尽层回缩，增大器件正向通流面积。

由于非对称屏蔽结构需要高能离子注入，在工艺过程中对晶圆表面产生损伤，因而考虑采用沟槽刻蚀加斜角注入的方式形成非对称屏蔽结构。2020年，三菱公司报道了一种多角度注入的SiC沟槽栅MOSFET结构（MIT^2-MOS）[50]，结构如图10(a)[51]所示，其斜角离子注入方式如图10(b)[51]所示。该注入方案在3个不同方向进行离子注入，形成非对称屏蔽结构，并采用高浓度P+阱对栅极沟槽底部和侧壁进行保护。该方案一方面采用侧斜N注入的方式在沟槽积累区形成高浓度N型掺杂，从而降低JFET区电阻；另一方面是在三维方向接地侧也构造了导电通道以降低电阻，该结构

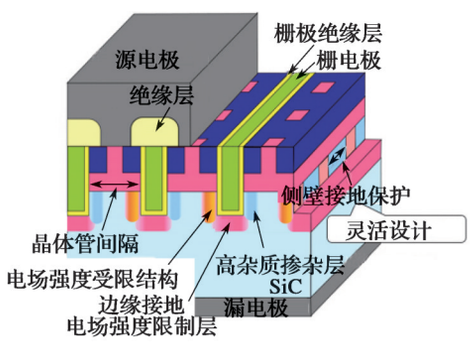
使得比导通电阻低至1.84 mΩ·cm²@V_{TH}=3.67 V，阻断电压达到1 560 V。2023年相关报道显示，MIT²-MOS可通过调节接地侧N区面积占比调节器件的短路耐受时间[52]，设计上更加灵活。



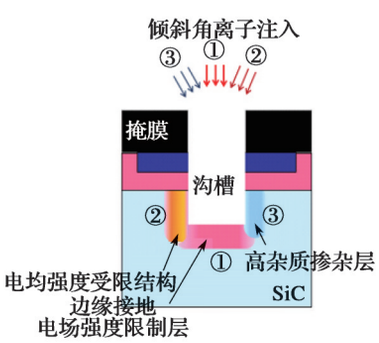
(a) 非对称结构示意图　　(b) P+屏蔽层电位可调结构

图9　非对称SiC沟槽MOSFET结构

Fig. 9　Asymmetric SiC trench MOSFET structure



(a) 沟槽MOSFET结构示意图（Mitsubishi）

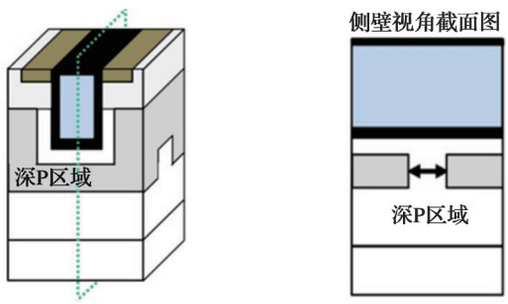


(b) 斜角离子注入方式示意图

图10　倾斜角离子注入SiC沟槽MOSFET结构

Fig. 10　Oblique-implantation inject SiC trench MOSFET structure

随着元胞尺寸不断缩小，屏蔽结构中的JFET电阻占比会越来越大，甚至会出现元胞尺寸减小而器件比导通电阻增大的现象。因此，2018年日本电装公司（Denso）提出一种三维方向屏蔽结构，结构如图11[53]所示。该结构在元胞的三维方向上利用间断的P屏蔽层降低栅氧电场，并将电流路径延伸到三维方向上，解决元胞尺寸不断缩小带来的JFET电阻剧增的问题，能够实现2.04 mΩ·cm²的比导通电阻和1 800 V的耐压。同时，由于该结构的P型屏蔽层还屏蔽了大部分栅极与漏极交叠面积，因此器件C_{GD}大幅减小，HFOM只有133 mΩ·nC，器件动态特性和静态特性都十分优异。此外，2019年的报告显示，该正交P区的结构还具有更小的空穴注入能力，能够有效抑制双极退化效应[54]。

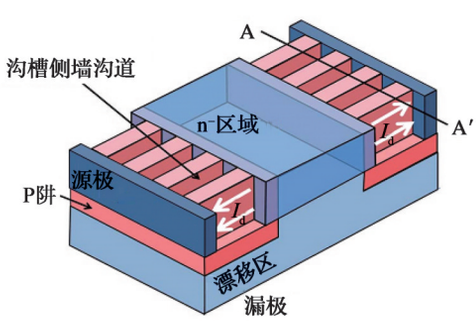


(a) 沟槽MOSFET三维结构图　　(b) 沟槽MOSFET侧面剖视图

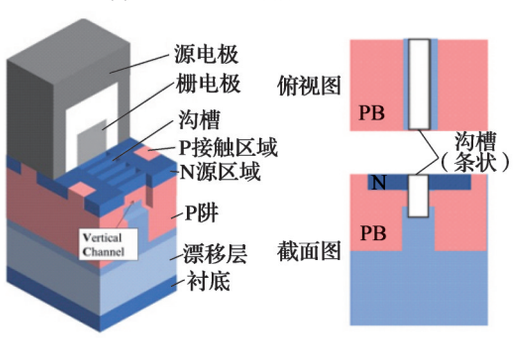
图11　SiC沟槽MOSFET结构（电装）

Fig. 11　SiC trench MOSFET structure(Denso)

2015年，日本日立公司（Hitachi）报道了一种沟槽刻蚀双扩散的三维结构，称为TED MOS[55]，该结构如图12(a)[56]所示。该结构通过刻蚀沟槽的方法将单一平面沟道变为沟槽四面沟道，提高了沟道密度和迁移率，具有极佳的导通特性与开关特性。后续的报告显示，TED MOS还可以在大幅减小沟道电阻的情况下，不对器件短路能力产生较大的影响，展现出更加优异的器件鲁棒性与导通特性的折中[56-57]。2023年，日立公司又报道另外一种三维沟槽MOSFET结构，称为Fin-SiC沟槽栅MOSFET，结构如图12(b)[58]所示。该结构



(a) TED-MOS沟槽MOSFET



(b) Fin-SiC沟槽MOSFET

图12　SiC沟槽MOSFET结构（Hitachi）

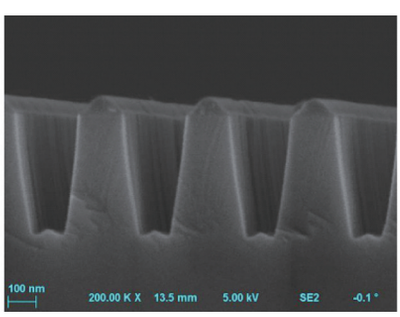
Fig. 12　SiC trench MOSFET structure(Hitachi)

在三维方向形成间断的P阱结构，屏蔽栅氧电场，同时该器件在三维方向上形成通流路径，有效地解决了沟槽屏蔽结构元胞尺寸缩小带来的JFET电阻占比激增的问题。

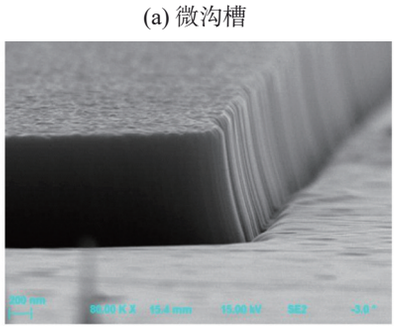
综上所述，国内外产研界在屏蔽结构的研发方面持续发力，从P阱对沟槽的包裹范围、包裹方向或工艺实现路径的角度，分析研究其对SiC沟槽屏蔽结构的设计的思路与理念，核心是在保证栅氧可靠性的同时追求更低的导通电阻与更快的开关速度。

2.2 SiC沟槽刻蚀及后处理技术

屏蔽结构设计是降低沟槽栅氧电场的有效措施，而优异的沟槽结构与界面状态是实现沟槽栅氧高可靠性的基础。由于SiC材料硬度高、化学性质稳定，常规湿法化学腐蚀无法实现其图形化，业内主流采用感应耦合等离子体（ICP）干法刻蚀技术进行SiC沟槽刻蚀[59-61]，但干法刻蚀各向异性、SiC各晶面刻蚀速率不同等固有特性导致SiC沟槽刻蚀后极易出现边角微沟槽、界面高度损伤等问题[14]，如图13所示。



(a) 微沟槽

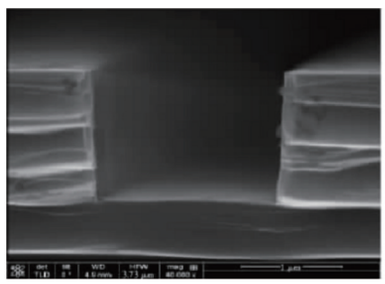


(b) 界面粗糙

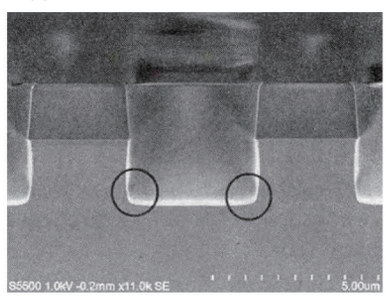
图13 SiC沟槽刻蚀挑战

Fig. 13 Challenge of SiC trench etching

2015年，中国科学院基于$SF_6/O_2/HBr$混合气体对SiC沟槽刻蚀工艺进行了探索，分别研究了SF_6、O_2和HBr流量百分比对SiC刻蚀速率与微沟槽效应的影响，试验结果如图14所示，其中当SF_6、O_2和HBr气体流量比为11:2:13时，刻蚀速率提升至635 nm/min，有效地缓解了微沟槽的产生[62]。同年，电子科技大学探索了$SF_6/O_2/HBr$混合气体工艺参数对SiC沟槽刻蚀结构的影响，最终通过提升射频偏压功率、增大气体压强、提高O_2含量等方式获得了较优的沟槽结构[63]。此外，牛津仪器公司通过设备与技术的更新迭代，将SiC和SiO_2的选择比提升到6.2:1.0，刻蚀结果如图15所示。由图15可知，该方法有效地解决了微沟槽效应。



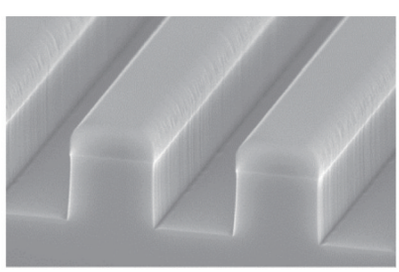
(a) 提升刻蚀速率缓解微沟槽结果



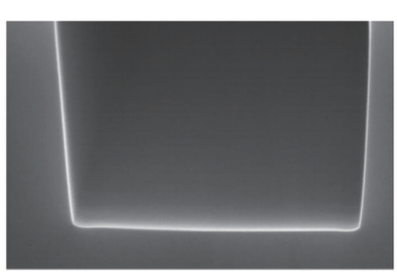
(b) 沟槽结构优化结果

图14 SiC沟槽刻蚀工艺优化

Fig. 14 SiC trench etching optimization



(a) 优化刻蚀结果



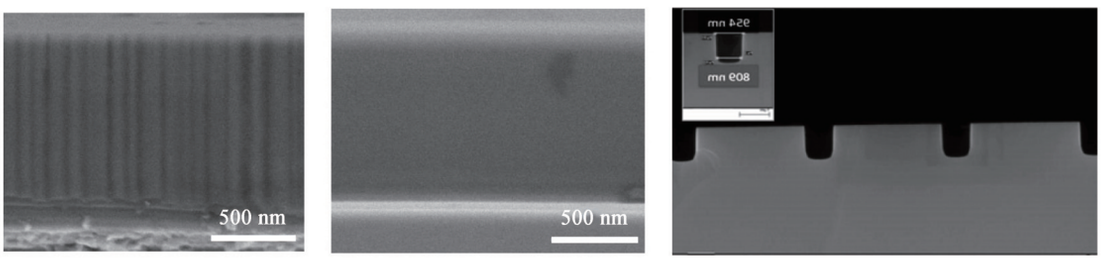
(b) 局部放大图

图15 牛津仪器公司SiC沟槽刻蚀形貌

Fig. 15 SiC trench etching figure of Oxford instrument

微沟槽问题的解决消除了SiC沟槽底部电场集中效应，进一步促进了广大学者探索SiC沟槽界面损伤的积极性。2021年，ZHENG Changwei等人研究了SiC沟槽刻蚀后处理工艺对刻蚀界面损伤的改善效果[64]，结果如图16所示，在1 500 ℃的Ar氛围条件下退火10 min可以有效修复刻蚀损伤，界面RMS从刻蚀后的5.25 nm降低至0.46 nm。2023年，PIRNACI M D等人采用SF_6/

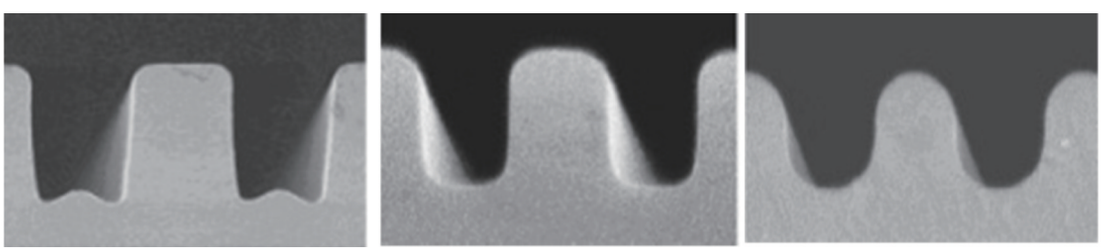
O_2混合气体刻蚀SiC沟槽，并结合混合气体比例HF/NH_4F=1:1在室温条件下处理获得了底部圆润的沟槽结构，界面RMS降低至0.16 nm[65]。TAKATSUKA Akio等人发现在高温下采用H_2氛围对刻蚀后的沟槽结构退火，不但可以修复沟槽刻蚀损伤，而且能圆化沟槽结构，进而消除边角微沟槽，并且退火温度越高，沟槽圆化效果越明显[66]，不同温度条件下的沟槽圆化效果如图17所示。



(a) Ar退火前　　(b) Ar退火后　　(c) 沟槽刻蚀与HF/NH_4F室温处理

图16　SiC沟槽刻蚀后处理形貌

Fig. 16　SiC treatment figure after trench etching

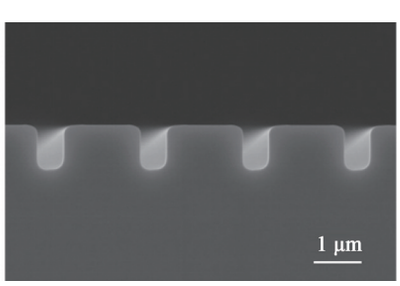


(a) 1 400 ℃　　(b) 1 500 ℃　　(c) 1 600 ℃

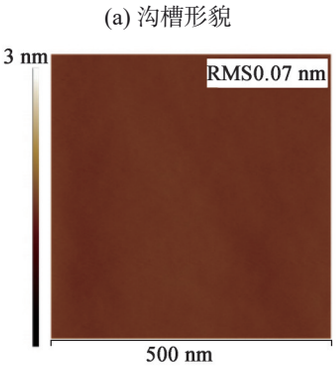
图17　沟槽结构高温H_2退火190 s

Fig. 17　High temperature hydrogen annealing 190 second in trench structure

株洲中车时代半导体有限公司基于$SF_6/O_2/BCl_3$混合气体，开发出了阶段性SiC沟槽刻蚀技术[67]，并结合多温区H_2退火后处理工艺，获得了底角圆润的理想沟槽结构，界面RMS低至0.07 nm，结果如图18所示。



(a) 沟槽形貌



(b) 界面状态

图18　SiC沟槽刻蚀技术（株洲中车时代半导体）

Fig. 18　SiC trench etching technology(Zhuzhou CRRC Times Semiconductor Co., Ltd.)

另一方面，沟槽栅MOSFET器件主要采用SiC(11-20)高迁移率晶面作为沟道通流[68]，由于SiC外延4 °偏角生长[69]，促使(11-20)特定晶面的沟槽刻蚀难度倍增，目前只有极少数公司和学者对SiC特定晶面定向刻蚀进行了初步探索。技术点主要围绕以下2个方面：一是通过光刻胶高温回流控制光刻胶侧壁角度，进而控制SiC沟槽刻蚀角度[70]；二是采用硬掩膜或金属掩膜，并结合湿法各向同性控制掩膜侧壁角度，并将其转移至SiC沟槽结构[71]。然而，采用上述技术方案不能有效且稳定刻蚀出SiC特定晶面，尚未在实际工业中得到应用。因此，SiC特定晶面的沟槽刻蚀仍是一道技术难题，亟须广大学者进一步深入研究。

2.3　SiC沟槽栅氧技术

对于SiC MOSFET器件来讲，栅氧技术与器件栅极可靠性直接相关。针对沟槽刻蚀结构如何制备高质量栅氧层，同时保证整个沟槽侧壁与底部栅氧层厚度成为沟槽栅氧技术需要解决的一大难题。

2020年，文献[72]指出目前所有的商业化SiC MOSFET器件都存在阈值电压不稳定（Threshold voltage instability）的问题。SiC沟槽栅MOSFET器件不仅面临平面栅中栅氧界面质量差的问题，而且由于沟槽底部拐角处的电场集聚效应，极易引起栅氧层内电场加剧，从而导致栅氧层提前击穿。因此，栅极可靠性问题在

SiC 沟槽器件中会更加突出。从目前沟槽器件的技术开发来看，可靠性需要设计与工艺的共同提升，对于工艺技术难点，一方面是沟槽结构的制备，需要保障侧壁的原子级平滑，同时保证侧壁倾斜角度和底部圆滑角度，最大程度利用非极化晶面高迁移率的特点；另一方面就是高质量沟槽栅氧工艺，针对沟槽结构，结合热氧与沉积工艺，合理控制侧壁和底部厚度，同时开发相应高温退火工艺，有效降低界面缺陷态，保证阈值电压的稳定性。

与平面型 SiC MOSFET 结构相比，沟槽的独特结构可使栅氧生长在 SiC 的非极性晶面。由于 SiC 不同晶面下原子层堆叠的差异性，使得 SiC MOSFET 迁移率具有各向异性，而且非极化晶面的迁移率普遍高于平面型的(0001)面[73-75]，在典型栅氧工艺下迁移率上限更高。如图 19[73]所示，典型 P 区掺杂浓度（1E+17cm^{-3}）下(1-100)面的迁移率为 112 cm^2/(V·s)、(11-20)面的迁移率为 108 cm^2/(V·s)[76]。因此，在沟槽栅氧技术的开发中，沟道本身具备高迁移率优势，这使得在实际的退火工艺控制中，氮化窗口更宽，负栅压下的阈值电压漂移量与沟道电阻的折中关系控制空间更大。

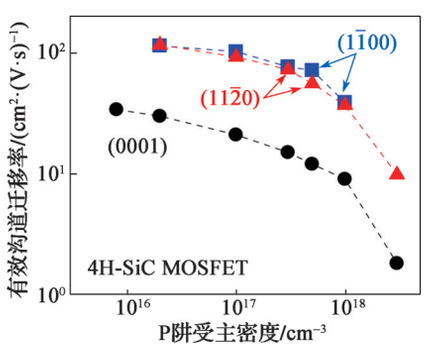
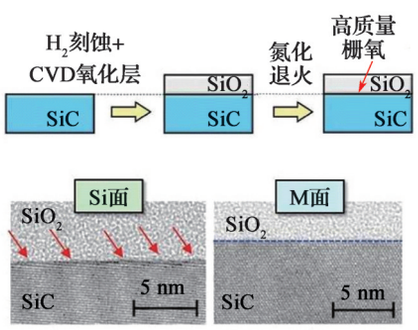


图 19　不同 P 区掺杂浓度下 SiC 不同晶面沟道迁移率

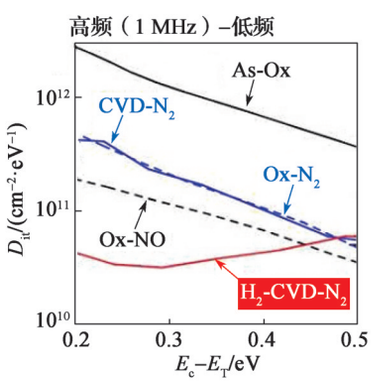
Fig. 19　Different SiC crystal face channel mobility with different P region doping concentration

另一方面，SiC 氧化速率具有各向异性的特点[77]，非极化界面上的热氧生长速率普遍要高于极化界面，这给整个沟槽内栅氧生长的一致性带来挑战，特别是沟槽底部栅氧层的厚度控制，其与栅极击穿特性直接相关。当前平面栅氧由于结构单一，生长在(0001)面，其量产技术路线基本围绕“干氧+NO”退火工艺[78-80]，而沟槽栅氧结构多样，并且受非极化晶面的影响，相应制备技术路线更加多元。2020 年，日本京都大学将 CVD 生长工艺引入 SiC MOSFET 栅氧制备中，采用 H_2 刻蚀处理 SiC 表面，接着采用 PECVD 沉积 SiO_2 层，最后在高温 N_2 氛围内退火，有效避免了高温热氧工艺下的碳缺陷产生，其界面态密度 D_{it} 低至 4×10^{10} cm$^{-2}\cdot$eV$^{-1}\cdot(E_c-0.2\ \text{eV})$，如图 20[81]所示。

2015 年，住友/丰田公司 KOSUKE Uchida 等人进一步优化设计了“V”型沟槽栅 MOSFET，选取了 1 350 ℃进行栅氧化层生长，并用 NO 退火，相关文献显示栅氧化层的厚度约为 50 nm，其 1 000 h HTGB 可靠性试验结果为：正漂移 0.06 V，负漂移 −0.12 V，具有良好的阈值电压稳定性[82]。目前尚无法得知主流厂商的沟槽栅氧技术路线，但根据德国 Fraunhofer IISB 研究所的文献可推测以 CVD 淀积生长匹配高温氮化退火或 CVD 搭配高温热氧生长的复合方案为主[83]，其方案可以有效克服沟槽内壁氧化速率的各向异性，实现沟槽底部栅氧厚度比侧壁厚，或者底部和侧壁厚度接近 1:1，提升栅氧可靠性。目前，关于沟槽型器件的可靠性提升仍需要开展大量工作，特别是非极化晶面 MOS 的可靠性缺乏足够验证，仍需深入探究。



(a) 沉积栅氧工艺流程及界面结构



(b) 界面态密度分布

图 20　SiC 沟槽栅氧工艺技术

Fig. 20　SiC trench gate oxidation process technology

3　未来新型沟槽技术发展趋势

3.1　结构微型化

在 SiC 沟槽栅 MOSFET 器件栅氧高可靠性和器件动态、静态性能高水平发展的引领下，未来沟槽技术重要发展方向之一便是结构微型化。2022 年，Rohm 公司推出新一代 SiC 深沟槽 MOSFET 产品，该产品是结构微型化的代表，其元胞剖视图如图 21 所示。该结构通过更深的源极沟槽、更小的元胞间距和更厚的沟槽底部栅氧实现更低的栅氧化层电场、更高沟道密度。同时，该结构采用更低的 P 屏蔽区掺杂浓度，实现了横

向电场对P屏蔽区辅助耗尽，使得器件在相同的漂移区浓度、厚度下能实现更高的耐压，其电压等级为750 V SiC 沟槽 MOSFET 产品在 V_{GS}=18 V 下能够实现 1.61 mΩ·cm^2 的比导通电阻[84]。

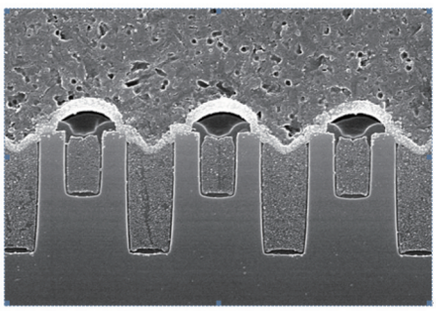


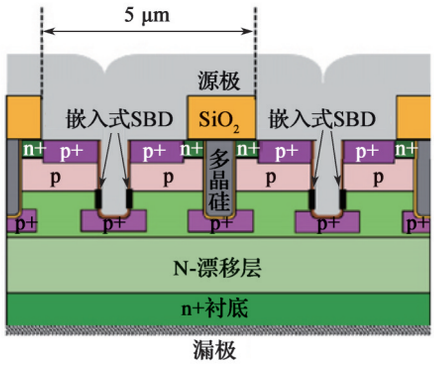
图21　罗姆新一代沟槽栅MOSFET剖面图

Fig. 21　Rohm new generation trench MOSFET cross section

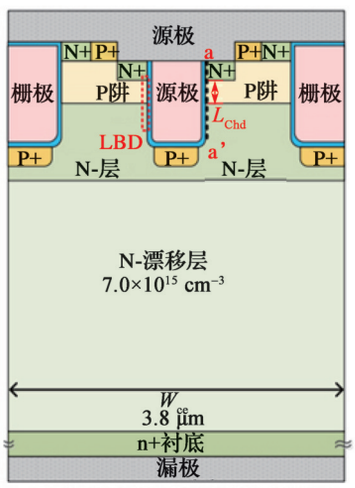
3.2　结构集成化

由于SiC MOSFET体内寄生的二极管工作时具有较大的导通压降和反向恢复损耗，并且存在由于Shockley堆垛层错扩展引起的双极退化问题[85-86]，因此SiC MOSFET的体二极管并不适合作为开关过程中的续流二极管使用。虽然早期有SiC平面MOSFET与SBD集成于1个元胞结构中的报道[87-88]，但这类结构很大程度上牺牲MOSFET的正向导通性能换取反向导通的性能，整体特性表现不佳。

2017年，Fuji与AIST在IEDM会议报道了一种集成SBD在沟槽侧壁的SiC沟槽栅MOSFET，称为SWITCH-MOS[89]，结构如图22(a)所示。该结构在形成N+区、Pbase区以及P+区后，刻蚀形成栅极沟槽与SBD沟槽，并将肖特基金属沉积在沟槽侧壁上形成肖特基结构。研制器件的元胞尺寸为5 μm，SWITCH-MOS比导通电阻为3.3 mΩ·cm^2@V_{TH}=3.7 V，器件耐压为1 576 V[90]。该器件能够在不牺牲器件正向性能的基础上，有效地降低器件反向导通压降、减少器件的反向恢复损耗，提高了器件反向导通特性。2023年，重庆大学报道了一种集成MOS沟道二极管（MCD）的SiC沟槽栅MOSFET，如图22(b)[91]所示，该结构通过额外的反向导通沟道抑制体二极管的导通，具有较佳的反向导通、正向阻断和开关特性。



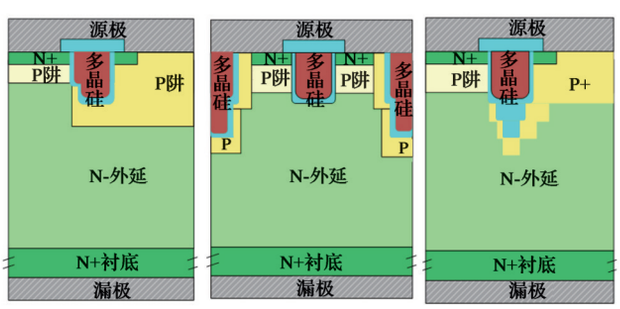
(a) SWITCH-MOS结构



(b) MCD-MOS结构

图22　嵌入二极管的SiC沟槽栅MOSFET

Fig. 22　SiC trench MOSFET with embedded SBD



(a) Wolfspeed　　(b) Rohm　　(c) Infineon

图23　SiC台阶沟槽MOSFET比较

Fig. 23　SiC step trench MOSFET comparison

3.3　屏蔽结构多元化

随着沟槽技术的不断发展，将会涌现出更多新型屏蔽结构，如台阶沟槽MOSFET等。图23是国外相关SiC厂商发布的关于台阶沟槽的专利报告[92-94]。台阶沟槽结构主要优势在于采用台阶沟槽形成阶梯式的P阱对电场进行多级屏蔽，并结合半超结设计，实现器件耐压与比导通电阻特性更好的折中。

文献[95]报道了一种台阶沟槽MOSFET，该结构在降低导通电阻的同时在栅极多晶硅引入PN结以降低器件栅极电荷，其中比导通电阻和栅电荷相对于GP-MOS分别减小了26.4%和34.7%。文献[96]报道了一种台阶沟槽的实现方式，并仿真验证台阶沟槽结构在可以降低栅氧化层电场的同时展现了更好的比导通电阻与器件耐压的平衡，其中栅氧化层电场相对于无屏蔽结构下降了12%，巴利加优值（Baliga Figure of Merit，FOM）提高了5.1%。文献[97]对台阶沟槽结型势垒肖特基二极管（JBS）进行仿真研究，发现台阶沟槽结构可以改善JBS比导通电阻与肖特基电场间的折中关系，在相同肖特基电场与二极管导通压降 V_F 下，

台阶沟槽结构的比导通电阻相比于JBS减小了61.5%。

3.4 超结MOSFET

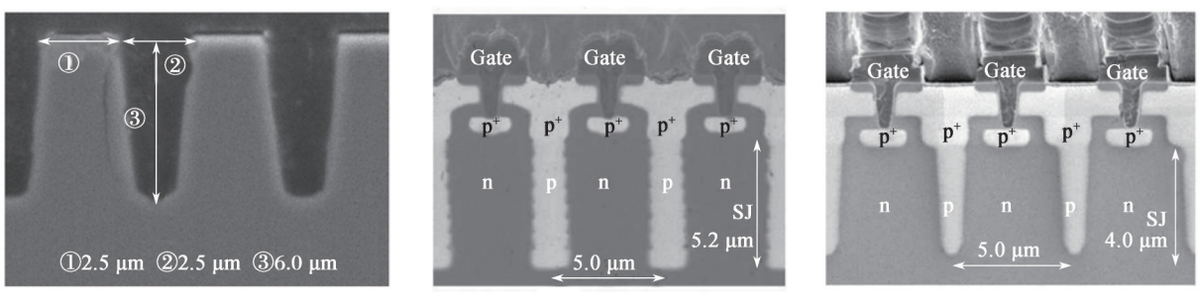
超结MOSFET器件的性能可突破一维的单极型理论极限[98-100]，并具有导通损耗低、栅电荷低、开关速度快、短路能力强等优点[101-102]。目前，形成SiC超结器件主要有以下几种方式：

① 沟槽型超结器件[103]，阻断电压可达到1.35 kV，比导通电阻为0.92 mΩ·cm^2，如图24(a)[103]所示。

② 多次注入外延形成的超结器件[104]，此工艺方式需要昂贵和繁琐的多次外延生长工艺流程，这会大幅增加工艺成本和流片时间。制备的器件性能达到1 620 V，比导通电阻为2.7 mΩ·cm^2，如图24(b)[104]所示。

③ 沟槽回填型超结器件[105]，该方案的工艺难点在沟槽刻蚀形貌和无空洞的沟槽回填。制备的器件阻断电压为1 050 V，比导通电阻为2.8 mΩ·cm^2，如图24(c)[105]所示。

针对SiC超级结器件的研究目前仍处于起步阶段，未来还需投入更多的研究。



(a) 超结二极管　(b) 多次外延沟槽MOSFET　(c) 刻蚀回填沟槽MOSFET

图24　SiC超结技术

Fig. 24　SiC superjunction technology

4 结束语

本文介绍了SiC沟槽栅MOSFET关键的沟槽结构技术、沟槽刻蚀技术和沟槽栅氧技术的研究进展，总结了解决SiC沟槽刻蚀的微沟槽效应的工艺方式，以及沟槽结构如何获得稳定均匀栅氧化层分布的方法。同时，对未来新型沟槽技术发展趋势展开论述，通过结构微型化和屏蔽层深埋化实现更低的栅氧化层电场、更高的沟道密度；从屏蔽结构多元化实现器件耐压与比导通电阻特性更好的折中；从结构超结化力求更低的比导通电阻。

整体而言，国际头部企业在技术上占据优势，并且已经实现商业化的SiC沟槽栅MOSFET产品。国内厂商也在积极布局跟进，以株洲中车时代半导体有限公司为代表，开发了周期性栅氧电场屏蔽技术，在三维方向形成对栅氧化层直接与间接的屏蔽[106]，实现了3.0 mΩ·cm^{2}的比导通电阻、1 400 V的阻断电压芯片样品的制备。

未来随着沟槽屏蔽结构技术的创新、沟槽刻蚀及后处理技术的优化、沟槽栅氧技术难题的攻克，SiC沟槽栅MOSFET将实现比导通电阻不断降低，栅氧可靠性不断增强，SiC沟槽栅技术必将迈向全新的发展阶段。

参考文献：

[1] BALIGA B J. Silicon carbide power devices[M]. New Jersey: World Scientific, 2005.

[2] DENG Xiaochuan, WEN Yi, WANG Xiangdong, et al. Design and optimization of linearly graded field limiting ring termination for high-voltage SiC diodes[C]//IEEE. 2014 12th IEEE International Conference on Solid-State and Integrated Circuit Technology. Guilin: IEEE, 2014: 1-3.

[3] DENG X C, LI L, ZHANG B, et al. High-power density SiC MESFETs with multi-recess gate[J]. Electronics letters, 2011, 47(8): 517-518.

[4] WANG Zhenyu, LI Yunjia, SUN Xiaohua, et al. Reliability investigation on SiC trench MOSFET under repetitive surge current stress of body diode[C]//IEEE. 2020 IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia. Suita: IEEE, 2020: 1-4.

[5] LI Helong, MUNK-NIELSEN S. Detail study of SiC MOSFET switching characteristics[C]//IEEE. 2014 IEEE 5th International Symposium on Power Electronics for Distributed Generation Systems. Galway: IEEE, 2014: 1-5.

[6] YUAN Xibo, LAIRD I, WALDER S. Opportunities, challenges, and potential solutions in the application of fast-switching SiC power devices and converters[J]. IEEE transactions on power electronics, 2021, 36(4): 3925-3945.

[7] CHEN Zheng, YAO Yingng, BOROYEVICH D, et al. A 1200-V, 60-A SiC MOSFET multichip phase-leg module for high-temperature, high-frequency applications[J]. IEEE transactions on power electronics, 2014, 29(5): 2307-2320.

[8] MILLÁN J, GODIGNON P, PERPIÑÀ X, et al. A survey of wide bandgap power semiconductor devices[J]. IEEE transactions on power electronics, 2014, 29(5): 2155-2163.

[9] PALMOUR J W. Silicon carbide power device development for industrial markets[C]//IEEE. 2014 IEEE International Electron Devices Meeting. San Francisco: IEEE, 2014: 1.1.1-1.1.8.

[10] WILLIAMS R K, DARWISH M N, BLANCHARD R A, et al. The trench power MOSFET: part I−history, technology, and prospects[J]. IEEE transactions on electron devices, 2017, 64(3): 674-691.

[11] NANEN Y, KATO M, SUDA J, et al. Effects of nitridation on 4H-SiC MOSFETs fabricated on various crystal faces[J]. IEEE transactions on electron devices, 2013, 60(3): 1260-1262.

[12] YANO H, KIMOTO T, MATSUNAMI H. Shallow states at SiO_2/4H-SiC interface on (110) and (0001) faces[J]. Applied physics letters, 2002, 81(2): 301-303.

[13] ZHU Shengnan, SHI Limeng, JIN M, et al. Reliability comparison of commercial planar and trench 4H-SiC power MOSFETs[C]//IEEE. 2023 IEEE International Reliability Physics Symposium (IRPS). Monterey: IEEE, 2023: 1-5.

[14] TANAKA S, RAJANNA K, ABE T, et al. Deep reactive ion etching of silicon carbide[J]. Journal of vacuum science & technology B, 2001, 19(6): 2173-2176.

[15] RACKA-SZMIDT K, STONIO B, ŻELAZKO J, et al. A review: inductively coupled plasma reactive ion etching of silicon carbide[J]. Materials, 2022, 15(1): 123.

[16] CHRISTIANSEN K, HELBIG R. Anisotropic oxidation of 6H-SiC[J]. Journal of applied physics, 1996, 79(6): 3276-3281.

[17] UENO K. Orientation dependence of the oxidation of SiC surfaces[J]. Physica status solidi (a): applied research, 1997, 162(1): 299-304.

[18] DAS M K, UM B S, COOPER J A. Anomalously high density of interface states near the conduction band in SiO_2/4H-SiC MOS devices[J]. Materials science forum, 2000, 338/339/340/341/342: 1069-1072.

[19] SAKS N S, MANI S S, AGARWAL A K. Interface trap profile near the band edges at the 4H-SiC/SiO_2 interface[J]. Applied physics letters, 2000, 76(16): 2250-2252.

[20] LELIS A J, GREEN R, HABERSAT D B, et al. Basic mechanisms of threshold-voltage instability and implications for reliability testing of SiC MOSFETs[J]. IEEE transactions on electron devices, 2015, 62(2): 316-323.

[21] LAY L. ST SiC MOSFET & diode product and application [DB/OL]. (2020-12-02) [2023-05-18]. https://www.st.com/content/dam/is20/document/PE3-2_Lay_Lv_ST_SIC_Mos - fet_Diode_ product_and_application_Industrial_summit_Version2_EN.pdf.

[22] ROHM. ROHM claims first trench-type SiC MOSFET[DB/OL]. (2015-05-21) [2023-05-18]. https://www. powersystemsdesign. com/articles/rohm-claims-first-trench-type-sic-mosfet/39/8981.

[23] PETERS D, SIEMIENIEC R, AICHINGER T, et al. Performance and ruggedness of 1200V SiC-trench-MOSFET[C]//IEEE. 2017 29th International Symposium on Power Semiconductor Devices and IC's. Sapporo: IEEE, 2017: 239-242.

[24] NEUDECK P G. SiC technology[DB/OL]. (1998-10-02) [2023-05-18]. https://core. ac. uk/download/pdf/42703194.pdf.

[25] ADAN A O, TAKAGI Y, TAKEUCHI S, et al. Assessing short-circuit robustness of 1200V SiC MOSFETs: using deep structural and physical analysis[J]. IEEE power electronics magazine, 2021, 8(2): 34-43.

[26] PALMOUR J W, EDMOND J A, KONG H S, et al. Vertical power devices in silicon carbide[C]//Institute of Physics Publishing. International conference on SiC and related materials. Washington: Institute of Physics Publishing, 1993: 499-502.

[27] WATANABE H, KIRINO T, KAGEI Y, et al. Energy band structure of SiO_2/4H-SiC interfaces and its modulation induced by intrinsic and extrinsic interface charge transfer[J]. Materials science forum, 2011, 679/680: 386-389.

[28] HARADA S, KATO M, KOJIMA T, et al. Determination of optimum structure of 4H-SiC Trench MOSFET[C]//IEEE. 2012 24th International Symposium on Power Semiconductor Devices and ICs. Bruges: IEEE, 2012: 253-256.

[29] SUI Y, TSUJI T, COOPER J A. On-state characteristics of SiC power UMOSFETs on 115- μm drift layers[J]. IEEE electron device letters, 2005, 26(4): 255-257.

[30] TAN J, COOPER J A, MELLOCH M R. High-voltage accumulation-layer UMOSFET's in 4H-SiC[J]. IEEE electron device letters, 1998, 19(12): 487-489.

[31] WANG Ying, TIAN Kai, HAO Yue, et al. An optimized structure of 4H-SiC U-shaped trench gate MOSFET[J]. IEEE transactions on electron devices, 2015, 62(9): 2774-2778.

[32] KAGAWA Y, FUJIWARA N, SUGAWARA K, et al. 4H-SiC trench MOSFET with bottom oxide protection[J]. Materials science forum, 2014, 778/780: 919-922.

[33] WEI Jin, ZHANG Meng, JIANG Huaping, et al. Dynamic degradation in SiC trench MOSFET with a floating p-shield revealed with numerical simulations[J]. IEEE transactions on electron devices, 2017, 64(6): 2592-2598.

[34] TAKAYA H, MISUMI T, FUJIWARA H, et al. 4H-SiC trench MOSFET with low on-resistance at high temperature [C]//IEEE. 2020 32nd International Symposium on Power Semiconductor Devices and ICs. Vienna: IEEE, 2020: 118-121.

[35] SHEN Zhanwei, ZHANG Feng, YAN Guoguo, et al. High-frequency switching properties and low oxide electric field and energy loss in a reverse-channel 4H-SiC UMOSFET[J]. IEEE transactions on electron devices, 2020, 67(10): 4046-4053.

[36] NAKAMURA T, NAKANO Y, AKETA M, et al. High performance SiC trench devices with ultra-low ron[C]//IEEE. 2011 International Electron Devices Meeting. Washington: IEEE, 2011: 26.5.1-26.5.3.

[37] ADAN A O, TANAKA D, BURGYAN L, et al. The current status and trends of 1, 200-V commercial silicon-carbide MOSFETs: deep physical analysis of power transistors from a designer′s perspective[J]. IEEE power electronics magazine, 2019, 6(2): 36-47.

[38] HARADA S, KOBAYASHI Y, KINOSHITA A, et al. 1200 V SiC IE-UMOSFET with low on-resistance and high threshold voltage[C]//IEEE. 2016 European Conference on Silicon Carbide & Related Materials. Halkidiki: IEEE, 2016: 1.

[39] KANAMORI T, AIBA R, HARADA S, et al. Experimental demonstration of superior Vf-Err characteristics of pin body diode in 1.2 kV IE-UMOSFET with a very short channel length[C]//VDE. PCIM Asia 2020; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Shanghai: VDE, 2020: 1-5.

[40] TODAKA S, MATSUI K, AIBA R, et al. Experimental and numerical demonstration of superior RBSOAs in 1.2 kV SiC trench and SBD-integrated trench MOSFETs[C]//IEEE. 2021 33rd International Symposium on Power Semiconductor Devices and ICs. Nagoya: IEEE, 2021: 219-222.

[41] WADA K, MASUDA T, SAITOH Y, et al. Fast switching 4H-SiC V-groove trench MOSFETs with buried P+ structure [C]//IEEE. 2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's. Waikoloa: IEEE, 2014: 225-228.

[42] SAITOH Y, MASUDA T, TAMASO H, et al. Switching performance of V-groove trench gate SiC MOSFETs with grounded buried p+ regions[C]//IEEE. 2016 European Conference on Silicon Carbide & Related Materials. Halkidiki: IEEE, 2016: 1.

[43] UCHIDA K, HIYOSHI T, SAITO Y, et al. 1200 V/200 A V-groove trench MOSFET optimized for low power loss and high reliability[J]. Materials science forum, 2020, 1004: 776-782.

[44] SCHWAIGER S, HEYERS K, MARTINEZ-LIMIA A, et al. Advanced SiC trench-MOS technology for automotive application[C]//VDE. PCIM Europe 2023; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Nuremberg: VDE, 2023: 1-4.

[45] HARADA S, KOBAYASHI Y, ARIYOSHI K, et al. 3.3-kV-class 4H-SiC MeV-implanted UMOSFET with reduced gate oxide field[J]. IEEE electron device letters, 2016, 37(3): 314-316.

[46] YANO H, NAKAO H, HATAYAMA T, et al. Increased channel mobility in 4H-SiC UMOSFETs using on-axis substrates[J]. Materials science forum, 2007, 556/557: 807-810.

[47] SIEMIENIEC R, PETERS D, ESTEVE R, et al. A SiC trench MOSFET concept offering improved channel mobility and high reliability[C]//IEEE. 2017 19th European Conference on Power Electronics and Applications. Warsaw: IEEE, 2017: 1-13.

[48] AGARWAL A, HAN K, BALIGA B J. Analysis of 1.2 kV 4H-SiC trench-gate MOSFETs with thick trench bottom oxide[C]//IEEE. 2018 IEEE 6th Workshop on Wide Bandgap Power Devices and Applications. Atlanta: IEEE, 2018: 125-129.

[49] 邓小川, 徐晓杰, 曹厚华, 等 . P+屏蔽层电位可调碳化硅 MOSFET 器件及制备方法: CN201910204773.4[P]. 2019-03-18.
DENG Xiaochuan, XU Xiaojie, CAO Houhua, et al. P+ shielding layer potential adjustable silicon carbide MOSFET device and preparation method: CN201910204773.4[P]. 2019-03-18.

[50] FUKUI Y, SUGAWARA K, TANAKA R, et al. Effects of grounding bottom oxide protection layer in trench-gate SiC-MOSFET by tilted al implantation[J]. Materials science forum, 2020, 1004: 764-769.

[51] FUKUI Y, SUGAWARA K, ADACHI K, et al. Improved short circuit ruggedness by optimization of sidewall p-type pillar ratio for trench SiC-MOSFET fabricated by multiple tilted ion implantation into trench sidewalls[C]//VDE. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Nuremberg: VDE, 2023: 1-5.

[52] Mitsubish. Mitsubishi electric develops trench-type SiC-MOSFET with unique electric-field-limiting structure[DB/OL]. (2019-09-30) [2023-05-18]. https://www. mitsubishi-electric.com/sites/news/2019/pdf/0930.pdf.

[53] EBIHARA Y, ICHIMURA A, MITANI S, et al. Deep-P encapsulated 4H-SiC trench MOSFETs with ultra low RonQgd [C]//IEEE. 2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs. Chicago: IEEE, 2018: 44-47.

[54] EBIHARA Y, UEHARA J, ICHIMURA A, et al. Suppression of bipolar degradation in deep-P encapsulated 4H-SiC trench MOSFETs up to ultra-high current density[C]//IEEE. 2019 31st International Symposium on Power Semiconductor Devices and ICs. Shanghai: IEEE, 2019: 35-38.

[55] TEGA N, YOSHIMOTO H, HISAMOTO D, et al. Novel trench-etched double-diffused SiC MOS (TED MOS) for overcoming tradeoff between RonA and Qgd[C]//IEEE. 2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's. Hong Kong: IEEE, 2015: 81-84.

[56] TEGA N, TANI K, HISAMOTO D, et al. Robustness improvement of short-circuit capability by SiC trench-etched

double-diffused MOS (TED MOS) [C]//IEEE. 2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs. Chicago: IEEE, 2018: 439-442.

[57] MORI Y, SUTO T, SUEMATSU T, et al. Device design to achieve low loss and high short-circuit capability for SiC trench MOSFET[C]//IEEE. 2021 33rd International Symposium on Power Semiconductor Devices and ICs. Nagoya: IEEE, 2021: 111-114.

[58] SHIMIZU H, SUTO T, MIKI H, et al. Proposal of vertical-channel fin-SiC MOSFET toward future device scaling[C]//IEEE. 2023 35th International Symposium on Power Semiconductor Devices and ICs. Hong Kong: IEEE, 2023: 1-4.

[59] 周燕萍, 朱帅帅, 李茂林, 等 . ICP 刻蚀工艺在 SiC 器件上的应用[J]. 传感器与微系统, 2020, 39(11): 152-154.
ZHOU Yanping, ZHU Shuaishuai, LI Maolin, et al. Application of ICP etching process in SiC device[J]. Transducer and microsystem technologies, 2020, 39(11): 152-154.

[60] SEOK O, KIM Y J, BAHNG W. Micro-trench free 4H-SiC etching with improved SiC/SiO_2 selectivity using inductively coupled SF_6/O_2/Ar plasma[J]. Physica scripta, 2020, 95(4): 045606.

[61] 徐俊平, 杨银堂, 贾护军 . 几种 SiC 刻蚀方法的刻蚀速率 [C]//中国电子学会 . 中国电子学会第十二届全国青年学术年会 . 西安: 中国电子学会, 2006: 324-328.
XU Junping, YANG Yintang, JIA Hujun. The etching rates of some methods of etching SiC[C]//The Chinese Institute of Electronics. The 12th National Youth Academic Conference of the Chinese Institute of Electronics. Xi′an: The Chinese Institute of Electronics, 2006: 324-328

[62] 王进泽, 杨香, 钮应喜, 等 . 4H-SiC 材料在 SF_6/O_2/HBr 中的 ICP-RIE 干法刻蚀[J]. 微纳电子技术, 2015, 52(1): 59-63.
WANG Jinze, YANG Xiang, NIU Yingxi, et al. ICP-RIE dry etching of 4H-SiC materials in SF_6/O_2/HBr[J]. Micronanoelectronic technology, 2015, 52(1): 59-63.

[63] 户金豹, 邓小川, 申华军, 等 . ICP 刻蚀 4H-SiC 栅槽工艺研究[J]. 真空科学与技术学报, 2015, 35(5): 570-574.
HU Jinbao, DENG Xiaochuan, SHEN Huajun, et al. Etching of 4H-SiC trench by inductively coupled plasma[J]. Chinese journal of vacuum science and technology, 2015, 35(5): 570-574.

[64] ZHENG Changwei, WANG Zhicheng, JIAO Shasha, et al. Low roughness SiC trench formed by ICP etching with sacrificial oxidation and Ar annealing treatment[C]//IEEE. 2021 IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia). Wuhan: IEEE, 2021: 354-357.

[65] PIRNACI M D, SPITALERI L, TENAGLIA D, et al. Systematic characterization of plasma-etched trenches on 4H-SiC wafers[J]. ACS omega, 2021, 6(31): 20667-20675.

[66] TAKATSUKA A, TANAKA Y, YANO K, et al. Shape transformation of 4H-SiC microtrenches by hydrogen annealing [J]. Japanese journal of applied physics, 2009, 48(4R): 041105.

[67] 王志成, 龚芷玉, 刘启军, 等 . 一种圆滑沟槽的制作方法及圆滑沟槽结构: CN202010881132.5[P]. 2020-08-27.
WANG Zhicheng, GONG Zhiyu, LIU Qijun, et al. A manufacture method of smooth grooves and its structure: CN202010881132.5[P]. 2020-08-27.

[68] ZHAO Wanli, GE Huan, WU Peifei, et al. Research on trench etching and photolithography process of SiC trench MOSFET[J]. Journal of physics: conference series, 2021, 2083: 022093.

[69] KIMOTO T. Bulk and epitaxial growth of silicon carbide [J]. Progress in crystal growth and characterization of materials, 2016, 62(2): 329-351.

[70] 李良辉 . 一种 SiC 材料的极小角度倾斜刻蚀工艺方法: CN202210733906.9[P]. 2022-06-24.
LI Lianghui. A inclined etching process with minimal angle of SiC materials: CN202210733906.9[P]. 2022-06-24.

[71] 陆敏, 田亮, 张昭, 等 . 一种陡直光滑侧壁形貌的 SiC 刻蚀方法: CN201310743899.1[P]. 2013-12-30.
LU Min, TIAN Liang, ZHANG Zhao, et al. A SiC etching method for steep smooth sidewall appearance: CN201310743899.1[P]. 2013-12-30.

[72] KIMOTO T, WATANABE H. Defect engineering in SiC technology for high-voltage power devices[J]. Applied physics express, 2020, 13(12): 120101.

[73] NAKAZAWA S, OKUDA T, SUDA J, et al. Interface properties of 4H-SiC (110) and (100) MOS structures annealed in NO[J]. IEEE transactions on electron devices, 2015, 62 (2): 309-315.

[74] KIMOTO T, YOSHIOKA H, NAKAMURA T. Physics of SiC MOS interface and development of trench MOSFETs [C]//IEEE. The 1st IEEE Workshop on Wide Bandgap Power Devices and Applications. Columbus: IEEE, 2013: 135-138.

[75] LIU Gang, AHYI A C, XU Yi, et al. Enhanced inversion mobility on 4H-SiC (110) using phosphorus and nitrogen interface passivation[J]. IEEE electron device letters, 2013, 34 (2): 181-183.

[76] DHAR S, WANG S R, AHYI A C, et al. Nitrogen and hydrogen induced trap passivation at the SiO_2/4H-SiC interface[J]. Materials science forum, 2006, 527/528/529: 949-954.

[77] LI Huifeng, DIMITRIJEV S, HARRISON H B, et al. Interfacial characteristics of N_2O and NO nitrided SiO_2 grown on SiC by rapid thermal processing[J]. Applied physics letters, 1997, 70(15): 2028-2030.

[78] CHUNG G Y, TIN C C, WILLIAMS J R, et al. Improved inversion channel mobility for 4H-SiC MOSFETs following high temperature anneals in nitric oxide[J]. IEEE electron device letters, 2001, 22(4): 176-178.

[79] LIPKIN L A, DAS M K, PALMOUR J W. N_2O processing improves the 4H-SiC: SiO_2 interface[J]. Materials science forum, 2002, 389/390/391/392/393: 985-988.

[80] KIMOTO T, KANZAKI Y, NOBORIO M, et al. Interface properties of metal-oxide-semiconductor structures on 4H-SiC{0001} and (1120) formed by N_2O oxidation[J]. Japanese journal of applied physics, 2005, 44(3R): 1213.

[81] TACHIKI K, KANEKO M, KOBAYASHI T, et al. Formation of high-quality SiC (0001)/SiO_2 structures by excluding oxidation process with H_2 etching before SiO_2 deposition and high-temperature N_2 annealing[J]. Applied physics express, 2020, 13(12): 121002.

[82] UCHIDA K, SAITOH Y, HIYOSHI T, et al. The optimised design and characterization of 1200V/2.0mΩ cm^2 4H-SiC v-groove trench MOSFETs[C]//IEEE. 2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's. Hong Kong: IEEE, 2015: 85-88.

[83] LIM M W, SLEDZIEWSKI T, ROMMEL M, et al. Predeposition interfacial oxidation and post-deposition interface nitridation of LPCVD TEOS used as gate dielectric on 4H-SiC[J]. Materials science forum, 2020, 1004: 535-540.

[84] RUSSELL S. The evolution of commercial SiC FETs, from planar gates to reliable trench technology and towards superjunction devices[C]//VDE. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Nuremberg: VDE, 2023: 1-6.

[85] SKOWRONSKI M, HA S. Degradation of hexagonal silicon-carbide-based bipolar devices[J]. Journal of applied physics, 2006, 99(1): 011101.

[86] BERGMAN J P, LENDENMANN H, NILSSON P A, et al. Crystal defects as source of anomalous forward voltage increase of 4H-SiC diodes[J]. Materials science forum, 2001, 353/354/355/356: 299-302.

[87] SUNG W, BALIGA B J. On developing one-chip integration of 1.2 kV SiC MOSFET and JBS diode (JBSFET)[J]. IEEE transactions on industrial electronics, 2017, 64(10): 8206-8212.

[88] YEN C T, HUNG C C, HUNG H T, et al. 1 700 V/30 A 4H-SiC MOSFET with low cut-in voltage embedded diode and room temperature boron implanted termination[C]//IEEE. 2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's. Hong Kong: IEEE, 2015: 265-268.

[89] KOBAYASHI Y, OHSE N, MORIMOTO T, et al. Body pin diode inactivation with low on-resistance achieved by a 1.2 kV-class 4H-SiC SWITCH-MOS[C]//IEEE. 2017 IEEE International Electron Devices Meeting. San Francisco: IEEE, 2017: 9.1.1-9.1.4.

[90] OKAWA M, KANAMORI T, AIBA R, et al. Analysis of 1.2 kV SiC SWITCH-MOS after short-circuit stress[C]//IEEE. 2020 32nd International Symposium on Power Semiconductor Devices and ICs. Vienna: IEEE, 2020: 74-77.

[91] GUO Jingwei, LI Ping, JIANG Jie, et al. A new 4H-SiC trench MOSFET with improved reverse conduction, breakdown, and switching characteristics[J]. IEEE transactions on electron devices, 2023, 70(1): 172-177.

[92] NAKAGAWA M, NAKANO Y, AKETA M, et al. Semiconductor device: US 11069771B2[P]. 2021-07-20.

[93] LEENDERTZ C, ESTEVE R, JELINEK M, et al. Silicon carbide device with compensation layer and method of manufacturing: US 2021/0013310A1[P]. 2021-01-14.

[94] KIM W, LICHTENWALNER D J, RYU S H, et al. Semiconductor power devices having multiple gate trenches and methods of forming such devices: US 2022/0157959A1[P]. 2021-03-19.

[95] WANG Ying, TIAN Kai, HAO Yue, et al. 4H-SiC step trench gate power metal-oxide-semiconductor field-effect transistor[J]. IEEE electron device letters, 2016, 37(5): 633-635.

[96] 张跃, 张腾, 黄润华, 等 . 4H-SiC 台阶型沟槽 MOSFET 器件[J]. 电子元件与材料, 2022, 41(4): 376-380.
ZHANG Yue, ZHANG Teng, HUANG Runhua, et al. 4H-SiC step trench MOSFET device[J]. Electronic components & materials, 2022, 41(4): 376-380.

[97] YUAN Jun, LI Junming, XIAO Ke. First experimental demonstration of 4H-SiC multi-step trenched junction barrier schottky diode developed at JFS lab[C]//IEEE. 2022 4th International Conference on Power and Energy Technology. Beijing: IEEE, 2022: 53-57.

[98] CHEN Xingbi, YANG Hongqiang, CHENG Min. New "silicon limit" of power devices[J]. Solid-state electronics, 2002, 46(8): 1185-1192.

[99] CHEN Xingbi, SIN J K O. Optimization of the specific on-resistance of the COOLMOSTM[J]. IEEE transactions on electron devices, 2001, 48(2): 344-348.

[100] CHEN Xingbi. Theory of a novel voltage sustaining (CB) layer for power devices[J]. Chinese journal of electronics, 1998, 7(3): 211-216.

[101] OKADA M, KYOGOKU S, KUMAZAWA T, et al. Superior short-circuit performance of SiC superjunction MOSFET[C]//IEEE. 2020 32nd International Symposium on Power Semiconductor Devices and ICs. Vienna: IEEE, 2020: 70-73.

[102] HE Qingyuan, LUO Xiaorong, LIAO Tian, et al. 4H-SiC superjunction trench MOSFET with reduced saturation current[J]. Superlattices and microstructures, 2019, 125: 58-65.

[103] ZHONG Xueqian, WANG Baozhu, WANG Jue, et al. Experimental demonstration and analysis of a 1.35-kV 0.92-mΩ·cm^2 SiC superjunction schottky diode[J]. IEEE transactions on electron devices, 2018, 65(4): 1458-1465.

[104] HARADA S, KOBAYASHI Y, KYOGOKU S, et al. First

demonstration of dynamic characteristics for SiC superjunction MOSFET realized using multi-epitaxial growth method [C]//IEEE. 2018 IEEE International Electron Devices Meeting. San Francisco: IEEE, 2018: 8.2.1-8.2.4.

[105] SOMETANI M, OOZONO K, JI Shiyang, et al. Comparative study of performance of SiC SJ-MOSFETs formed by multi-epitaxial growth and trench-filling epitaxial growth [C]//IEEE. 2022 IEEE 34th International Symposium on Power Semiconductor Devices and ICs. Vancouver: IEEE, 2022: 337-340.

[106] 王亚飞, 陈喜明, 李诚瞻, 等. 碳化硅MOSFET器件的元胞结构、其制备方法及碳化硅MOSFET器件: CN202010591568.0[P]. 2020-06-24.
WANG Yafei, CHEN Ximing, LI Chengzhan, et al. Cellular structure of SiC MOSFET device, its preparation method and SiC MOSFET device: CN202010591568.0[P]. 2020-06-24.

收稿日期：2023-08-12
修回日期：2023-08-25