DOI：10.13890/j.issn.1000-128X.2023.05.010　　文章编号：1000-128X(2023)05-0101-06

基于铜夹互连的双芯片功率器件的热力机械性能研究

廖林杰[1]，范　益[1]，梅晓洋[2]，汪炼成[1]
（1.中南大学 机电工程学院，湖南 长沙　410083；
2.中车株洲电力机车研究所有限公司，湖南 株洲　412001）

摘　要：传统的功率半导体器件封装结构通常会采用铝（Al）线键合，这就导致了器件电路寄生电感大和可靠性问题，限制了碳化硅（SiC）功率器件的发展。有研究人员提出了一种新型的铜夹互连工艺，可实现双面散热和提高器件的功率密度，但目前的研究主要集中在其热性能和可靠性方面，缺少对结构设计的优化研究。因此，有必要对多芯片铜夹互连的结构优化设计开展进一步研究。文章针对铜夹功率器件重要的结构参数对芯片应力集中的影响进行了仿真研究。结果表明，铜夹厚度对芯片应力集中影响最大，而铜夹跨度影响最小。对比采用焊料层应力最小的结构参数建立铜夹器件模型与对应的引线模块，可发现在功率循环下，铜夹器件的铜夹和焊料层的疲劳寿命相比于引线模块提升了10倍以上，并且卸荷槽对提升铜夹器件疲劳寿命有显著影响。

关键词：铜夹；应力集中；SiC；有限元仿真；功率循环
中图分类号：TN304.2+4　　**文献标识码：**A

Investigation of thermal-mechanical performance of dual-chip SiC power devices based on Cu clip interconnection

LIAO Linjie[1], FAN Yi[1], MEI Xiaoyang[2], WANG Liancheng[1]

(1. College of Mechanical and Electrical Engineering, Central South University, Changsha, Hunan 410083, China;
2. CRRC Zhuzhou Institute Co., Ltd., Zhuzhou, Hunan 412001, China)

Abstract: Traditional packaging structures of power semiconductor device use aluminum (Al) wire for bonding. This leads to high parasitic inductance and reliability issues, limiting the development of silicon carbide (SiC) power devices. Researchers have proposed a new copper clip interconnection process that enables double-sided heat dissipation and improves the power density of the devices. However, current research mainly focuses on its thermal performance and reliability, lacking exploration of structural design optimization. Further research is necessary to optimize the structure design of multi-chip copper clip interconnections. This study investigated the influence of critical structural parameters of the copper clip power devices on chip stress concentration through simulations. The results indicate that the copper clip thickness has the most significant impact on chip stress concentration, while the copper clip span has the least influence. Optimal structural parameter which was compared with the smallest solder layer stress were used to establish a copper clip device model and the corresponding wire-bonded module. The findings reveal that, under power cycling, the copper clip device shows a more than 10 times improvement in the fatigue life of both the copper clip and solder layer compared with the wire-bonded module. And the unloading groove significantly helps improve the fatigue life of copper clip devices.

Keywords: Cu clip; stress concentration; SiC; finite element simulation; power cycling

通信作者：汪炼成（1985—），男，博士，教授，博士生导师，主要从事先进GaN基LED器件和集成系统，IGBT及宽禁带半导体功率模块方面的研究；E-mail: liancheng_wang@csu.edu.cn

引用格式：廖林杰, 范益, 梅晓洋, 等. 基于铜夹互连的双芯片功率器件的热力机械性能研究[J]. 机车电传动, 2023(5): 101-106.
Citation: LIAO Linjie, FAN Yi, MEI Xiaoyang, et al. Investigation of thermal-mechanical performance of dual-chip SiC power devices based on Cu clip interconnection[J]. Electric drive for locomotives,2023(5): 101-106.

0 引言

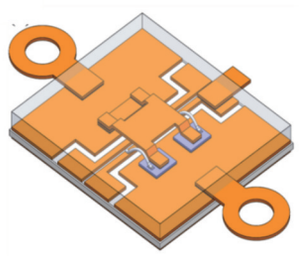
功率半导体器件作为电力电子装置中控制电能转换的核心器件，在功率分配、传输和减少能量损耗方面发挥着重要作用，广泛应用于汽车、轨道交通、新能源发电、电网输电、航空航天等领域[1-2]。传统的引线键合技术仍然是当今占主导地位的芯片互连工艺，然而引线键合技术在周期性热应力作用下可靠性较差[3]。为解决这个问题，人们提出了各种新的芯片表面互连技术，如铜线键合、带材键合、铝包铜线键合、直接引线键合互连、铜夹互连等[3]。

铜夹互连技术通过烧结或焊接技术将特定的铜夹与芯片、陶瓷基板连接起来，实现互连[4]。与传统的直接引线键合技术[5]相比，铜夹结构具有更加灵活的布局，同时与模块兼容，而且铜夹封装的上表面覆盖有大面积的铜，使得产生的部分热量可以通过芯片的上表面散发出去，增加了散热通道，提高了器件的散热能力[6]。这些特征更适用于功率器件高频、大功率特性。文献[7]基于定制的 650 V/200 A 铜夹半桥 IGBT 功率模块，与引线键合模块相比，铜夹功率器件的寄生电感降低了 24%，开关损耗降低了 6%，热阻抗降低了约 25%。TANG Gongyue 使用定制的铜夹制作了双面散热器碳化硅（Silicon carbide，SiC）功率器件，其中 5 个模块样品中的 4 个通过了 1 000 次温度循环测试（–40 ℃/200 ℃），5 个模块样品中的 3 个通过了 10 000 次功率循环（ΔT=150 K）；然后使用铜引线框架和铜夹封装双面散热 SiC 功率模块，该模块可承受 1 000 次温度循环测试（–40 ℃/150 ℃）和 50 000 次功率循环测试（50 ℃/200 ℃）。结果发现，铜夹与烧结银焊料的分层是功率器件失效的主要原因[8]。文献[9]介绍铜夹的热阻比线材模块降低了 11.4%。然而，用于多芯片互连的铜夹结构的低应力设计需要进一步研究。文献[10]介绍通过开发采用铜夹结构的碳化硅全桥功率模块，模块通过了 500 次温度循环（–65 ℃/150 ℃），并通过了 20 000 次功率循环（50 ℃/200 ℃）[10]。文献[11]介绍对 MOSFET 器件采用铜夹进行 QFN 结构封装，发现铜夹型 QFN 器件壳顶热阻相比引线键合型下降了 25%，并且有着更低的导通电阻。

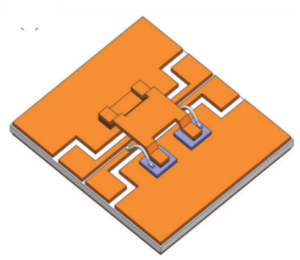
本文通过有限元仿真的方法对 2 芯片并联铜夹功率器件进行低应力结构设计和基于温度循环的可靠性分析。这项工作有助于多芯片互连铜夹结构的设计，补充了铜夹功率器件在热力性能上的优势。

1 铜夹功率器件的有限元模型

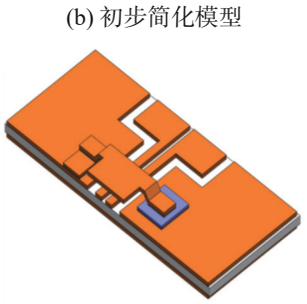
本文所设计的功率器件的 3D 模型如图 1(a)所示。为降低模型的计算量需对其进行简化，由于硅凝胶主要起着保护和绝缘作用，对器件的影响较小，而且功率器件的关键部分为芯片附近区域，故将硅凝胶以及远离芯片的金属端子忽略简化，简化结构如图 1(b)所示。初步简化后的模型为对称结构，可采用二分之一模型进行仿真分析，最终简化结果如图 1(c)所示。



(a) 功率器件 3D 模型



(b) 初步简化模型



(c) 对称简化模型

图 1 铜夹器件简化模型

Fig. 1 Simplified model of copper clip device

为了使计算收敛得更快，模型采用六面体网格，网格节点全耦合，单元尺寸变化处采用过渡网格处理，保证网格的节点连接，如图 2 所示。

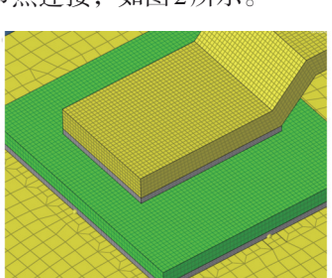


图 2 铜夹器件网格划分

Fig. 2 Grid partition of copper clip device

材料的设置与赋予在 ANSYS Workebench 软件中进行。为使铜、铝和纳米银焊料层的材料参数更接近实际情况，铜、铝材料采用双线性模型，纳米银焊料层采用 Anand 本构模型，芯片使用 SiC 芯片，材料参数

来源于MatWeb材料库和相关期刊论文中的数据，具体设置如表1、表2和表3所示。

表1　仿真所用材料参数

Table 1　Material parameters of model simulation

参数名称	Al	Cu	SiC	Al_2O_3	纳米银	焊料
热导率/W·(m·K)$^{-1}$)	210	385	124	27	250	250
密度/(kg·m^{-3})	2 700	8 700	2 330	3 900	7 350	7 350
弹性模量/GPa	70	120	170	380	*	*
泊松比	0.33	0.35	0.28	0.27	0.37	0.37
屈服应力/MPa	31.0	98.7	Elastic	Elastic	55.0	55.0
正切模量/MPa	98.7	1 000.0				
热膨胀系数/×10^{-6}	23.5	17.0	2.6	6.8	19.6	19.6

注：*参考表2。

表2　纳米银焊料弹性模量

Table 2　Elastic modulus of nano-silver solder

温度/℃	−40	0	25	60	120	120
弹性模量/GPa	9.01	7.69	6.28	4.52	2.64	2.64

表3　纳米银焊料Anand模型

Table 3　Anand model of nano-silver solder

参数名称	参数值	参数名称	参数值
内变量的初始值S_0/MPa	2.768	应变硬化参数a	1
变形阻力饱和值的系数s/MPa	67.389	常数A/(s^{-1})	9.81
应变硬化参数h_0/MPa	15 800	应力因子ξ	11
应变率敏感度n	0.003 26	$\frac{\text{激活能}}{\text{气体常数}}\left(\frac{Q}{R}\right)$/K	5 709
应变率敏感指数m	0.657 5		

2　铜夹参数对功率器件的影响

铜夹的结构参数对功率器件在加载状态下结构应力集中有较大影响，而应力集中会导致功率器件封装在周期性热冲击的条件下损伤芯片或产生疲劳裂纹，最终导致器件失效。因此，为保证铜夹功率模块有着较小的应力，研究铜夹的结构参数对铜夹、互连焊料层、芯片的影响必不可少。铜夹的结构参数包括铜夹厚度、拱形拐角角度、拱形跨度、拱形高度等参数，如图3所示。本章将对铜夹的结构参数进行单因素变量设计比较，作为对照组的铜夹的结构参数为：铜夹厚度为300 μm，拱形拐角角度为45°，拱形高度为500 μm，拱形跨度为6.5 mm；加载条件为：单芯片加载功率为15 W/mm^3；底部基板散热考虑常用的液冷散热，散热功率设为4 W/mm^2；其他面与空气接触，散热功率设为10 W/mm^2。

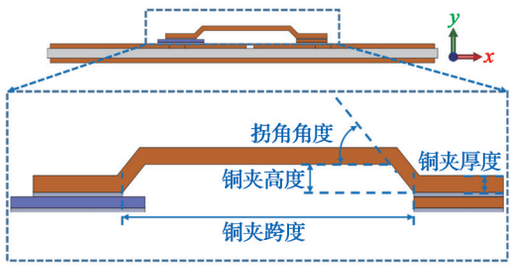
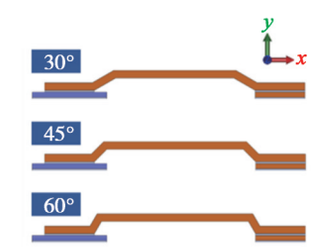


图3　铜夹的主要结构参数

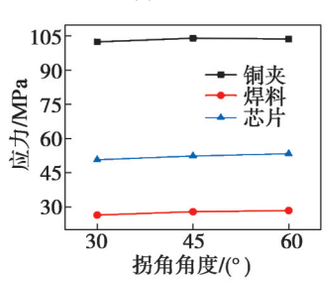
Fig. 3　Primary structural parameters of copper clip

2.1　铜夹拐角角度对封装的影响

铜夹拱形拐角角度是铜夹重要的结构参数之一，是铜夹尺寸发生突变的关键位置，主要用来缓冲水平x方向的应力，影响铜夹在加载条件下的应力集中。为探究铜夹拐角角度改变给铜夹器件带来的热力问题，设计了单因素变量试验进行研究，拱形拐角角度分别设为30°、45°和60°，其外形如图4(a)所示。图4(b)为铜夹拱形拐角角度与器件应力的关系图，提取相同加载条件下的铜夹、焊料层和芯片的最大等效应力进行分析。由图4(b)可知，随着拐角角度的增加，铜夹的最大等效应力先上升后下降，波动范围在1.7 MPa以内，幅值变化在1.7%以下；焊料层的最大等效应力上升了2.0 MPa，增幅为7.5%；芯片的最大等效应力上升了2.6 MPa，增幅为5.2%。



(a) 模型



(b) 关键部位的应力变化

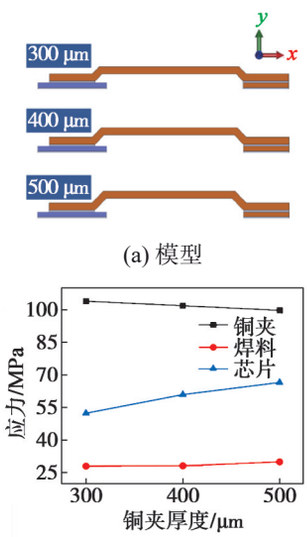
图4　拐角角度变化对铜夹关键部位应力的影响

Fig. 4　Influence of corner angle variation on stress distribution in critical areas of copper clip

2.2　铜夹厚度对器件封装的影响

铜夹厚度对功率器件的散热、厚度、重量等方面都有影响，同时也影响着器件各处的应力集中，本节通过单因素变量试验进行铜夹厚度对功率器件热力方面的研究，铜夹厚度分别设为300 μm、400 μm和500

μm，具体如图5(a)所示。图5(b)为铜夹厚度与器件应力的关系图，提取相同加载条件下的铜夹、焊料层和芯片的最大等效应力进行分析。由图5(b)可知，随着铜夹厚度的上升，铜夹所受的最大等效应力下降了4.2 MPa，降幅为4.0%；焊料层所受的最大等效应力上升了1.9 MPa，增幅为7.1%；芯片所受的最大等效应力上升了14.2 MPa，增幅达27.1%。



(a) 模型

(b) 关键部位的应力变化

图5　铜夹厚度对关键部位应力的影响

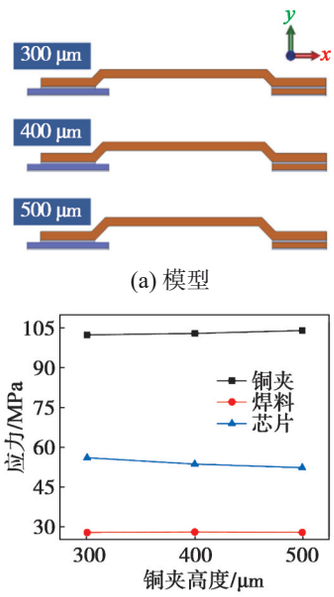
Fig. 5　Influence of copper clip thickness variation on stress distribution in critical areas

2.3　拱形高度对功率器件的性能影响

拱形高度是铜夹尺寸的一个重要参数，同时也影响着模块的封装厚度和应力集中问题，故本节将通过单因素变量研究拱形高度相关参数对器件封装性能的影响。拱形高度分别设为300 μm、400 μm和500μm，如图6(a)所示。图6(b)为铜夹拱形高度与器件应力的关系图，分别提取了铜夹、焊料层、芯片所受的最大等效应力。由图6(b)可知，随着拱形高度的增加，铜夹所受的应力上升了1.63 MPa，涨幅为1.6%；焊料层所受的应力先上升后下降，波动范围在0.10 MPa以内，可以认为基本保持不变；芯片所受应力下降了3.73 MPa，降幅为6.6%。

2.4　拱形跨度对封装性能的影响

拱形跨度是确定拱形尺寸的主要参数之一，决定着铜夹在陶瓷基板上的布局和封装的大小，并且影响着功率器件封装的热力性能。本节设计了单因素变量试验方案进行探究，拱形跨度分别设为6.5 mm、7.0 mm和7.5 mm，如图7(a)所示。图7(b)为铜夹拱形跨度与器件应力的关系图，分别提取了铜夹、焊料层、芯片所受的最大等效应力。由图7(b)可知，随着拱形跨度的增加，铜夹所受的最大等效应力先下降后上升，波动范围在2.60 N以内，最大变化了2.6%；焊料层所受最大等效应力下降了0.45 N，降幅为1.6%；芯片所受最大等效应力下降了0.39 N，降幅为0.7%。

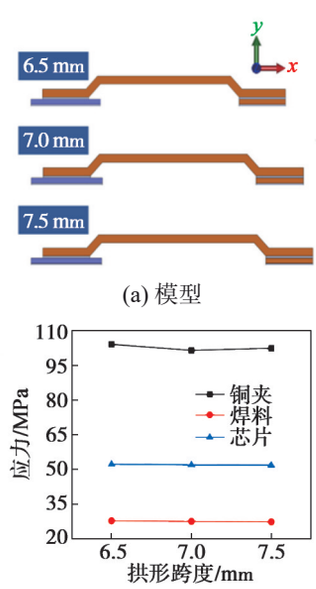


(a) 模型

(b) 关键部位的应力变化

图6　铜夹高度对关键部位的应力影响

Fig. 6　Influence of copper clip height variation on stress distribution in critical areas



(a) 模型

(b) 关键部位的应力变化

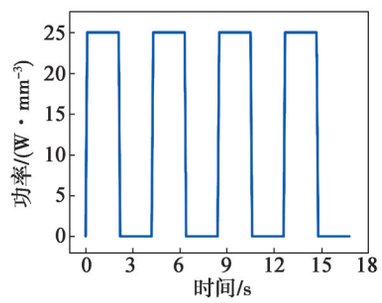
图7　铜夹拱形跨度对关键部位的应力影响

Fig. 7　Influence of copper clip arch span variation on stress distribution in critical areas

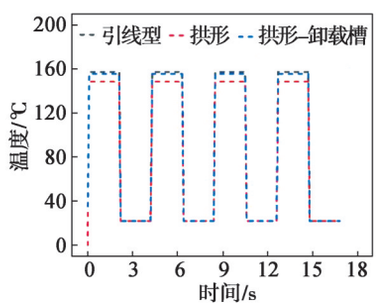
3　功率循环下铜夹结构的寿命分析

功率循环测试用于研究芯片正常工作时功率器件失效的模式和失效原因，功率器件在不断地开通和关断过程中，芯片内部产生的热损耗会导致功率器件周期性的结温波动，由于结温变化使得封装结构不停地进入热应力循环，导致器件敏感部位发生疲劳失效。

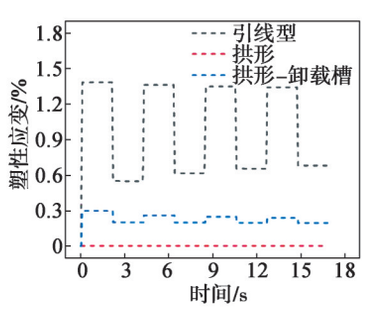
为探究铜夹功率器件在功率循环条件下铜夹和焊料层的失效情况，选取以焊料层应力最小的铜夹功率器件结构参数（拐角角度为30 °，铜夹厚度为300 μm，拱形高度为500 μm，跨度为7.5 mm）建立拱形夹模型，作为对照还设置了带有卸荷槽的拱形夹模型以及相对应的引线功率器件模型。功率循环测试的参考标准为IEC 60749-34:2011中第4部分，测试的具体设置为：芯片加载与卸载时间为0.01 s，加载功率为5 W/mm^3，开通时间与关短时间皆设为2 s，试验曲线如图8(a)所示；



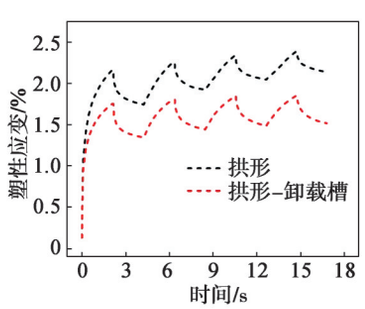
(a) 功率循环条件



(b) 不同功率器件的结温



(c) 铜夹和引线结构的塑性应变变化



(d) 铜夹互连焊料层的塑性应变

图8　功率循环下铜夹器件的结温、应力与应变

Fig. 8　Junction temperature, stress, and strain of copper clip device under power cycling

散热参考应用在功率器件中的水冷散热效率，将基板功率密度设为4 000 W/mm^2，空气功率密度为10 W/mm^2，仿真循环次数为4次。仿真结果如图8(b)~图8(d)所示。

由图8(b)可知，在相同加载条件下3种功率器件的结温最高值在150 ℃左右波动，结温温差在130 K左右，其中引线器件的结温峰值最大为157.5 ℃，拱形铜夹器件的最高温度为148.6 ℃。形成节温差异的原因，一方面是器件结构改变使散热通道发生改变，另一方面是材料的导热性能、热容性能也影响着器件的散热。

铜夹、铝线和焊料层的寿命是使用低周疲劳寿命模型Coffin-Massion方程计算的，其方程为

$$\frac{\varepsilon_{\mathrm{pa}}}{2}=\varepsilon_{\mathrm{f}}\left(2N_{\mathrm{f}}\right)^{c} \tag{1}$$

式中：$\varepsilon_{\mathrm{pa}}$为塑性应变幅值；$N_{\mathrm{f}}$为应变循环数；$\varepsilon_{\mathrm{f}}$，$c$为疲劳延展性指数，对于金属，$c$的取值范围为[–0.5, –0.7]，$\varepsilon_{\mathrm{f}}$的取值范围为[0.16,0.20]。

对于本文研究涉及的铝和铜，取c=–0.6, ε_{f}=0.20；对于焊料层，本文参考了纳米银焊料的实际疲劳寿命进行拟合，得到的焊料层的c=–0.245, ε_{f}=0.033。基于这些参数评估失效循环次数，然后通过式(1)计算器件的失效寿命。

为研究功率器件表面互连结构在功率循环下的疲劳寿命，提取3种器件的铜夹和引线的塑性应变曲线进行研究，具体如图8(c)所示。为保证疲劳寿命计算的准确性，最后1个循环的最小、最大塑性应变值被提取出来，代入Coffin-Manson方程进行计算，其计算结果如表4所示。在ΔT=130 K的功率循环条件下，引线与“拱形–卸载槽铜夹”的疲劳循环次数分别为466, 44 737，而且拱形铜夹结构在此条件下无塑性应变的累积，理论上不会发生疲劳失效，故在此条件下铜夹的疲劳寿命远大于引线。这是因为相较于铝线，铜夹具有较大的屈服极限，不易发生塑性变形，故铜夹疲劳寿命远高于铝线。

表4　功率循环下关键部位的疲劳寿命

Table 4　Fatigue life of critical areas under power cycling

对比项目	拱形铜夹互连		“拱形–卸载槽铜夹”互连		键合线
	铜夹	焊料层	铜夹	焊料层	（铝线）
最大塑性应变/%	–	2.38	0.238	1.85	1.34
最小塑性应变/%	–	2.04	0.195	1.51	0.68
N_{f}		5 686	44 737	5 813	466

为研究器件焊料层的疲劳寿命，提取2种铜夹焊料层的等效塑性应变进行研究分析，具体如8(d)所示。为保证计算结果的可对比性和准确性，最后1个循环的最小、最大塑性应变值被提取出来，代入Coffin-Manson方程进行计算，其计算数据如表4所示。在功率循环

条件下，带卸载槽的拱形铜夹器件焊料层的疲劳寿命为 5 813 次，而拱形铜夹器件焊料的疲劳寿命为 5 686 次。这是由于在功率循环条件下，拱形铜夹器件的焊料层上的应力集中普遍较大，导致发生塑性应变也较大，导致疲劳寿命小。

4 结论

本文以芯片、焊料和铜夹为研究对象，通过单因素变量分布研究了铜夹结构参数对器件封装各部位应力集中的影响，最终通过功率循环分析研究铜夹功率器件的主要失效部位，并与相应的引线功率器件进行比较，得到的结论如下：

①在铜夹结构的相关参数中，按照对器件芯片应力集中影响力排布，从大到小依次为铜夹厚度、拐角角度、铜夹高度、铜夹跨度。以减少焊料层应力集中为目标，本文所采用铜夹的最优结构参数为拐角角度为 30 °，铜夹厚度为 300 μm，拱形高度为 500 μm，跨度为 7.5 mm。

②在结温温差为 130 K 的功率循环条件下，“拱形–卸载槽铜夹”及其焊料层的寿命分别为 44 737 次和 5 813 次，相比铝线器件的 466 次，可将其疲劳寿命提高 11.5 倍左右。

参考文献：

[1] 江希 . 碳化硅 MOSFET 坚固性与可靠性研究[D]. 长沙: 湖南大学, 2021.
JIANG Xi. Research on ruggedness and reliability of silicon carbide MOSFET[D]. Changsha: Hunan University, 2021.

[2] 柯俊吉 . 碳化硅 MOSFET 芯片并联电气特性及其调控方法研究[D]. 北京: 华北电力大学(北京), 2020.
KE Junji. Electrical characteristics and its control method of paralleled silicon carbide MOSFET chips[D]. Beijing: North China Electric Power University(Beijing), 2020.

[3] 中国电子学会生产技术学分会丛书编委会 . 微电子封装技术[M]. 2 版 . 合肥: 中国科学技术大学出版社, 2011.
Compilation Committee of the Production Technology Branch Series of the China Electronics Society. Microelectronics packaging technology[M]. 2nd ed. Hefei: University of Science and Technology of China Press, 2011.

[4] 霍炎, 吴建忠 . 铜片夹扣键合 QFN 功率器件封装技术[J]. 电子与封装, 2018, 18(7): 1-6.
HUO Yan, WU Jianzhong. Assembly technology of copper clip bond QFN power device[J]. Electronics & packaging, 2018, 18(7): 1-6.

[5] ZHU Qingwei, FORSYTH A, TODD R, et al. Thermal characterisation of a copper-clip-bonded IGBT module with double-sided cooling[C]//IEEE. 2017 23rd International Workshop on Thermal Investigations of ICs and Systems (THERMINIC). Amsterdam: IEEE, 2017: 1-6.

[6] ROSHANGHIAS A, MALAGO P, KACZYNSKI J, et al. Sinterconnects: all-copper top-side interconnects based on copper sinter paste for power module packaging[J]. Energies, 2021, 14(8): 2176.

[7] CHI Weihao, CHEN H C, LIAO H K. High reliability wireless power module structure[C]//IEEE. 2018 13th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT). Taipei: IEEE, 2018: 71-74.

[8] TANG Gongyue, WAI L C, LIM T G, et al. Development of high power and high junction temperature SiC based power packages[C]//IEEE. 2019 IEEE 69th Electronic Components and Technology Conference (ECTC). Las Vegas: IEEE, 2019: 1419-1425.

[9] LIANG Zhi, SHAO Dongdong, DING Kunpeng, et al. Design and analysis of MOSFET based on fan-out panel-level package technology[C]//IEEE. 2021 22nd International Conference on Electronic Packaging Technology (ICEPT). Xiamen: IEEE, 2021: 1-4.

[10] WOO D R M, YUAN H H, LI J A J, et al. Miniaturized double side cooling packaging for high power 3 phase SiC inverter module with junction temperature over 220°C[C]//IEEE. 2016 IEEE 66th Electronic Components and Technology Conference (ECTC). Las Vegas: IEEE, 2016: 1190-1196.

[11] LWIN K K, TUBILLO C E, DIMAANO PANUMARD T J, et al. Copper clip package for high performance MOSFETs and its optimization[C]//IEEE. 2016 IEEE 18th Electronics Packaging Technology Conference (EPTC). Singapore: IEEE, 2016: 123-128.

收稿日期：2023-08-10
修回日期：2023-08-28