

研
究
开
发基于双 FPGA 的 MVB
通用接口研制

陈特放, 谈兴文, 成 庶, 邓江明

(中南大学 信息科学与工程学院, 湖南 长沙 410075)



作者简介: 陈特放 (1957—), 男, 教授, 博士生导师, 研究方向为电力牵引及传动控制, 列车故障诊断。

摘 要: 针对目前铁路上的 MVB 接口单元几乎只能应用于 MVB-cPCI 或 MVB-PC/104 两种通信方式的局限性, 提出了一种新的通信方案, 即通过 ARM 芯片检测总线连入状况, 自动引导对 FPGA 配置不同的程序, 以实现在同一个 MVB 接口单元上完成 MVB 与其他系统总线 (如 MVB-USB、MVB-Ethernet 总线等) 互连通信的功能。所设计的 MVB 接口单元能实现 MVB 与其他系统总线互相传输数据, 能增强 MVB 与外界信息交换的能力, 克服车载设备间、车载设备与非车载设备间的兼容性低的缺点。该研究不仅从理论上阐述了基于 FPGA 的多种系统总线互连的接口设计, 还实现了样板设计, 并进行了互连通信测试。试验结果表明, 这种研究不仅能实现多总线互连通信, 还可应用开发高访问速率的 TCN5 类设备。

关键词: MVB; 通用接口; FPGA; ARM

中图分类号: TN915.04

文献标识码: A

文章编号: 1000-128X(2012)04-0001-05

Research and Development on Dual FPGA Structure
Based Universal MVB Interface

CHEN Te-fang, DAN Xing-wen, CHENG Shu, DENG Jiang-ming

(School of Information Science and Engineering, Central South University, Changsha, Hunan 410075, China)

Abstract: For the limitation of MVB cards in railway only adapting in MVB-cPCI or MVB-PC/104 bus, a new communication method was given, by detecting buses connecting status with ARM microprocessor, automatically loading different procedures upon FPGA, to realize the interconnection of MVB communicate with other system buses (such as MVB-USB, MVB-Ethernet bus, etc.) by the universal MVB interface unit. With the designed universal MVB interface, application range of MVB cards extended, and compatibility of on-board devices was enhanced. Interface design of multiple system buses connection based on FPGA was expounded theoretically, and the prototype was realized and tested, which showed that this study could be used to develop the high-rate-communication devices of TCN5.

Key words: MVB; universal interface; FPGA; ARM.

0 引言

目前, 我国铁路上应用的多功能车辆总线 (Multifunction Vehicle Bus, MVB) 通信卡几乎都是专卡专用, 通用性与兼容性很低, 互连通信存在很大问题。大多数 MVB 设备都采用并行的 cPCI 总线或 PC/104 总线接口^[1-2]。由于串行总线引线少、硬件成本低, 跟并行总线相比不容易受干扰, 所以串行总线可以提高在恶劣的工厂和工业环境下控制设备的可靠性^[3]。本文的研究目的是可以在 MVB 接口单元上应用其他串行总线技术以实现互连通信。

用于串行通信技术的可选类型包括 I²C、UART、SPI、USB、CAN 和以太网等, I²C、UART、SPI、CAN 总线通信速率太低, 系统总线对于通信速度要求较高, 而且这类低速率总线访问较易与 MVB 总线发生访问冲突, 降低通信可靠性^[4]。USB 和以太网的通信速率很快, 而且是串行总线, 良好的接口设计可以满足系统总线高效的通信要求^[5]。本文提出基于双 FPGA 的 MVB 接口单元研究方案, 用一片 FPGA 实现 MVB 总线控制器接口, 另一片 FPGA 实现通用总线控制器接口设计, 以满足 MVB、cPCI、PC/104、USB、Ethernet 等总线的互连通信要求。该研究以 MVB 与 USB 互连通信为例, 试验结果表明, 两者可成功进行数据交换, 扩大了车载设备

收稿日期: 2012-02-28

的兼容性和生存能力。

1 数据流的设计思路

如图1所示,现场数据通过通用总线接口电路传输到各控制单元上,各控制单元解码从不同总线上采集来的数据,进行校验,并完成解码、译码后,将数据根据MVB协议重新打包,添加控制字,再传输给MVB控制电路。CPU单元传过来的数据被转储在TM中,以供MVB控制电路按照控制逻辑及时发送出去。

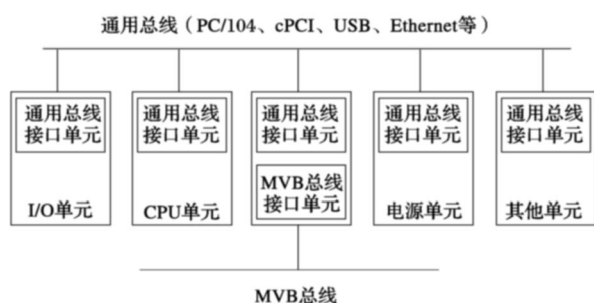


图1 通用总线接口原理图

以上只描述了数据的单方向传输,即如何将各种总线上接收到的数据发送到MVB总线上。同理,MVB接收到的数据也是照此方式一步步传输到各类总线。在系统总线上传输的数据可以分为两类:一类是状态刷新数据,具有周期性,数据交换非常频繁;另一类是诊断性数据,非周期,具有突发性,出现的频率较低^[9]。

2 总体结构设计

MVB总线通用接口单元包含以下基本电路:MVB总线控制电路、通用总线接口电路和主控电路;高速通信存储器电路和MVB接口电路。其中,MVB接口电路主要是进行电平转换的,其结构示意图如图2。

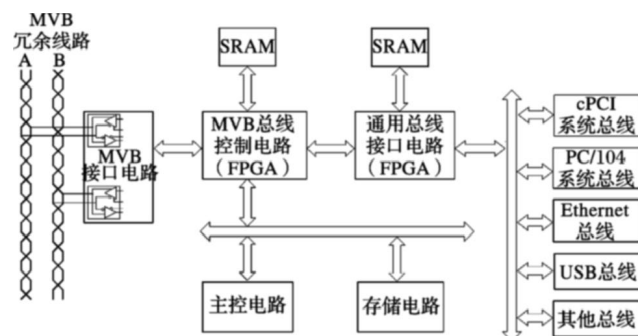


图2 通用MVB总线接口单元结构示意图

1) 主控电路功能和结构

主控单元采用ARM系列CPU。主控单元主要执行通信数据的解码和重新编码、打包,它控制着MVB卡内的信息流向^[6]。

2) MVB总线控制电路功能和结构

MVB控制芯片(MVB Controller, MVBC)监视MVB总线,将MVB上串行传输的数据信号转换成并行的

数据字。芯片接收并检查数据的有效性,然后将其储存在通信存储器中。MVBC负责按照MVB通信要求的数据格式进行数据的封装、解封,它把接收的数据按长度存于相匹配的TM中,并报告给本地CPU读取;同理当需要向其他MVB设备发送数据时,也须由MVBC从TM中取出数据,并加上帧头、效验位、帧尾发送出去。MVBC采用了集成度为3万~5万门级别的FPGA,可满足MVB数据收发和与其他芯片数据交换等控制要求。

3) 通用总线控制芯片

设计通用总线控制接口的目的是为了适应不同的系统总线连入MVB总线的需要,提高MVB卡的应用灵活性。接口芯片也采用ACEX1K30系列FPGA,多重电压I/O口,可支持2.5 V、3.3 V、5.0 V输入输出电压驱动,I/O口最高工作频率250 MHz。

4) 高速通信存储器电路

高速通信存储器电路中最重要就是通信存储器(Traffic Memory, TM),它的主要作用就是转储MVB接口电路所接受下来的总线数据,以及存放将要通过接口电路发送到总线上去的各种数据。其结构特点在于它由多个具有特定端口地址的长度不一的存储单元组成,每个存储单元都可以通过那个特定的端口单独访问。

此外,还配备了其他存储器来扩展主控单元的程序空间,存储FPGA的配置程序^[7]等。

5) MVB接口电路

由于MVB总线采用是带隔离变压器的RS485通信线路模式^[8],因此需要对总线电路上的差分信号进行电平转换,从而满足MVB控制电路对信号型式的需求。根据实际情况配置必需的电平转换芯片后,还加入了高频的隔离变压器,对线路和本系统进行隔离保护,提高可靠性。

6) 其他外围电路

此外,还有部分电源、接口电路用于辅助以上电路的运行。

最终MVB卡硬件设计结构如图3所示。样卡的layout图如图7所示。

3 通用接口端的设计

1) cPCI并行总线接口

cPCI(Compact PCI)总线将PCI总线与欧洲规格卡的机械结构相结合,除具有抗振性能好、高可靠性的优点外,还支持热拔插、DMA数据传输、后走线等^[10]。本研究是基于FPGA的cPCI总线接口含32位地址数据复用线AD0~AD31,它们连接至FPGA的可编程I/O口,各种控制线(/TRDY、/IRDY、CLK、/SERR、/PERR、/FRAME、/RST等)的数据流向按图4(a)所示配置。

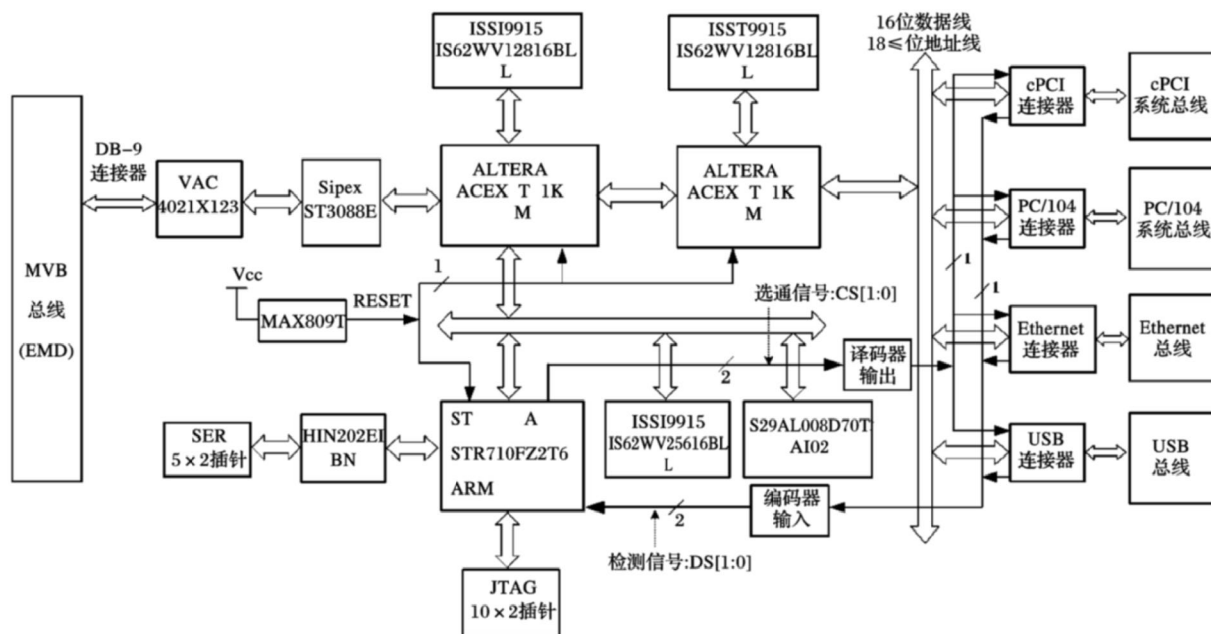


图3 通用总线MVB卡硬件设计结构图

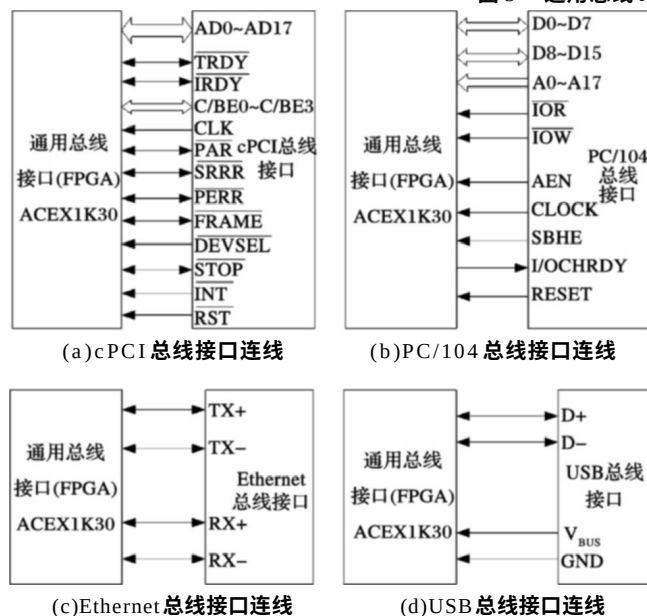


图4 基于FPGA的通用总线接口连线示意图

2) PC/104并行总线接口

目前尚在应用的FPGA MVBII型网卡上有处理器, 是一种主动MVB式网络接口单元, 用作TCN定义的3类及3类以上设备网络的接口单元, 实现过程数据和消息数据通信, 并可作为总线管理器^[11]。它的系统总线配置为PC/104并行总线, 该总线为网络接口单元和本地其他单元(可以是主CPU、I/O单元以及外界通信接口单元)之间的数据通信提供并行通道, 具有16位数据宽度, 地址线24条, 最高工作频率为8 MBit/s。因为PC/104数据分高低8位, 其中高8位数据受SBHE控制。图4(b)所示为基于FPGA的PC/104接口连线示意图。

3) Ethernet 串行总线接口

Ethernet传输速率极高。因为它采用CSMA/CD介质访问机制, 会导致网络传输延时和通信响应的“不

确定性”^[12], 降低通信可靠性, 但是这在网络负荷很重的情况下才会发生。当网络负荷较低时, 采用Ethernet作为系统总线后的MVB设备内部参与Ethernet通信的模块数量很少, 尤其在Ethernet的高速率条件下通信, 几乎可以忽略传输延时和数据碰撞问题, 使其在MVB设备系统总线应用上成为可能。如图4(c)所示, 在100 Mbit/s网络中实际只用了4根线来传输数据, 另外4根是备用的, 传输的信号为数字信号, 双绞线最大传输距离100 m。为了向MVB卡供电, 需额外引入电源线。

4) USB 串行总线接口

USB总线作为一种新的串行总线在传输速度上得到极大提高, 同时因其接口简单、即插即用、传输线供电等优点^[13], 使其应用范围越来越大。如图4(d)所示, D+、D-是一对差模信号线, 用于USB总线的串行数据传输, V_{BUS} (+5 V)和GND是标准电源线。因为MVB卡本身不带电源, 且耗能较大, USB本身输出能量不高, 向MVB卡供电不太现实, 故此需引入外接电源。

4 通用接口的配置

图5为由ARM引导、基于FPGA的通用接口上电自动配置程序过程, 预先将通用总线接口的sof格式程序存储在Flash ROM中, 上电或复位时, 由ARM检测总线激活状态, 并根据所激活的总线类型选择相应的sof程序加载到FPGA中。加载完后需由ARM输出总线闭锁信号CS, 以禁止其他总线连入, 防止多种总线访问冲突。由ARM引导的FPGA程序加载流程如图5所示。

因cPCI接口(132针)与PC/104接口(104针)都是大量引脚的接口, 而且目前使用MVB卡都是采用欧洲卡制作标准, 从设备正面插入系统^[14], 本研究设计的MVB卡只扩展了部分总线接口供测试用, 采用软排线连入。译

码输出控制信号连线如图6所示,输出高电平将其余接口闭锁。输入选通信号分类如表1所示。

表1 输入接口编码类型

接口类型	检测信号	
	DS[1]	DS[2]
cPCI 接口	0	0
PC104 接口	0	1
USB 接口	1	0
Ethernet 接口	1	1

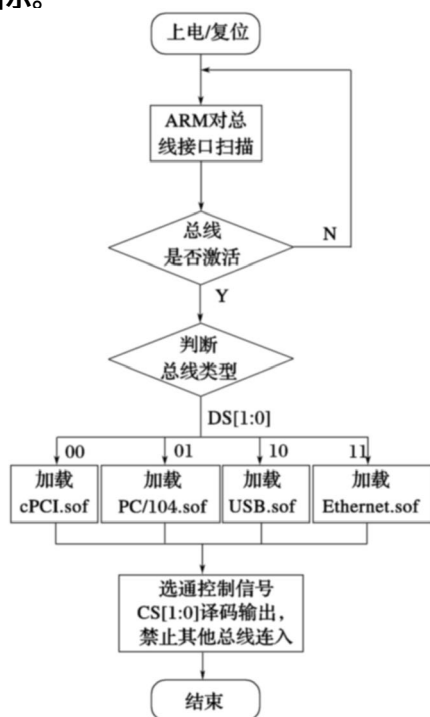


图5 由 ARM 引导对 FPGA 加载程序流程图

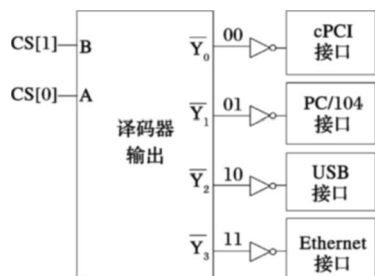


图6 译码输出选通控制信号连线图

5 试验及结果分析

MVB 总线上传输的数据分为3类：过程数据、消息数据和监视数据。过程数据为周期性传送，消息和监视为偶发性。数据编码采用曼彻斯特编码，“1”为位元中间正-负跳变，“0”为位元中间负-正跳变^[14-15]。

设计试验过程如下：采用2块设计的MVB通用接口卡，分别用于周期性发送主帧和从帧。帧结构如下：头9位为起始分界符，尾8位作为效验序列。其他16位作为数据位，其中高4位作为F-code，余下12位作为逻辑地址。设置主帧F-code为1，对应的从帧除了帧头帧尾外还有32位全数据位。

5.1 试验硬件环境

为了方便调试，提高通信成功率，开发的试验样

卡分为2块。图7为CPU卡（上）和通信卡（下）。CPU卡上附有ARM、Flash ROM、TM、USB接口等；通信卡正反两面都布有器件，其上附有FPGA、SRAM、DB-9接头和输入输出锁存单元。2块板都扩展了足够的并行总线接口，以方便并行通信。测试前应确保sof文件已经烧入ROM中，连线操作步骤为：①将ARM卡的16位数据总线、18位地址总线分别与FPGA卡的16位数据总线、18位地址总线用软排线连接。②将DB-9连接接头连入MVB总线，各电源和地线按要求连入。③测试信号线由DB-9连接器和USB接口引线引出，连接到示波器探头。

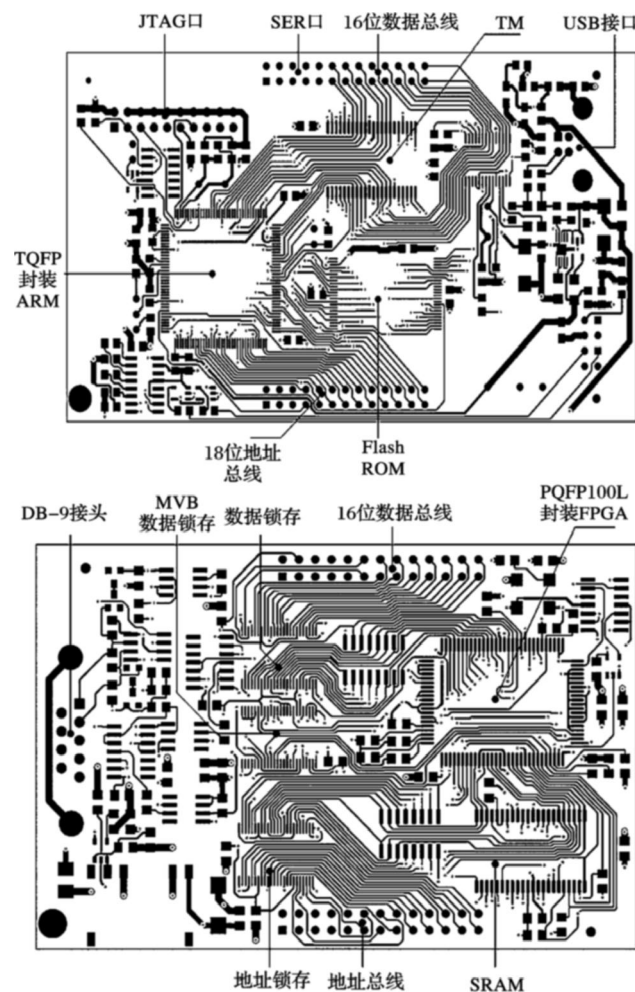


图7 CPU卡与通信卡PCB layout

5.2 试验软件环境

采用FPGA实现多种系统总线功能时，编程用VHDL语言，大部分总线协议可以直接购买IP核实现。考虑到一般示波器只能输入2路信号显示，难于对比分析，故本试验采用Virtual Oscilloscope虚拟示波器观察波形，可以实现多达4路信号的输入并显示。硬件测试信号示波器窗口显示波形如图8所示。为了直观分析数据帧的传输情况及正确与否，选择的4路检测信号为：ChA—24 MHz时钟信号；ChB—MVB通信线路信号；ChC—数据帧传输监视信号；ChD—USB总线读取信号。

5.3 测试结果分析

①由图9可知，ChB通道接收到了周期性的主/从

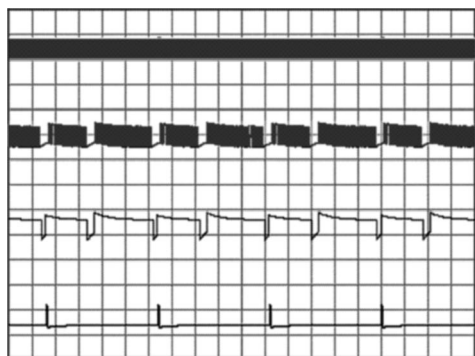


图8 硬件测试信号示波器窗口显示波形

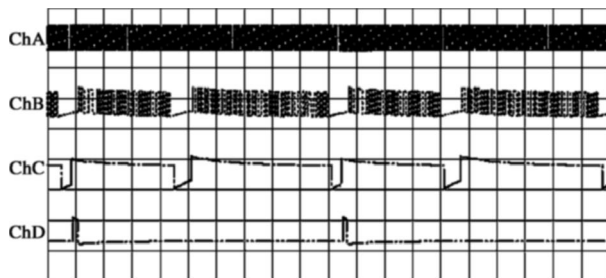


图9 参与测试的4路信号波形

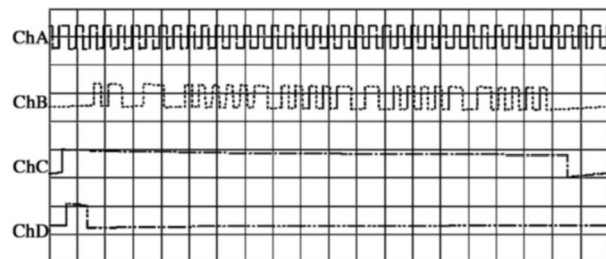


图10 放大后的主帧数据波形

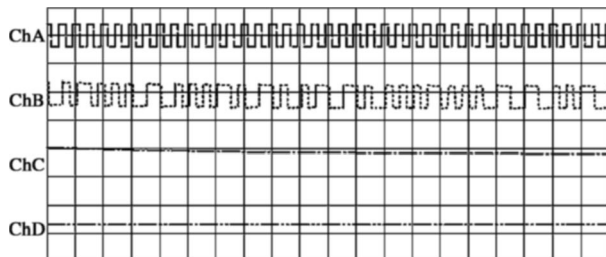


图11 放大后的从帧数据波形(部分)

帧,而且帧与帧之间的时间间隔小于4 ms,满足TCN-61375要求。ChA通道检测的是24 MHz时钟信号;ChC通道输出高电平表示有数据正在传输,低电平表示线路空闲。由于MVB通信时,必须严格确保MVBC芯片对TM的时刻控制,ChD显示的是USB总线只在从帧数据收发完毕,接收主帧的这段时间发起通信,这样才能可靠地避免2类总线对TM的访问冲突。所有总线对TM的访问都需经过MVBC的仲裁单元的允许才能进行。

②图10为放大后的主帧数据波形,主帧波形在ChB通道,可以清楚看出帧的结构,前面为9位的起始分界符,后面是4位的F-code、12位地址(0x50H)、8位校验码,汉明距为4。图11为从帧波形,ChB通道显示的是主帧部分波形。为了防止同步滑移,前9位是从帧起始分界符,与主帧的不同,中间的32位数据完全显示出来(0xA1B2C3D4H)。

③通过对比发现曼彻斯特编码输出的数据值与给定数据值相符。ChD通道显示的是USB读取数据触发信号,从图10~图11可知,USB接口已经完全能读取到TM中逻辑地址单元50H的数据A1B2C3D4H,交互通信已经实现。需要注意的是在高频弱电通信信号干扰下,传输信号波形有稍稍畸变,但并不影响通信模块对信号的采集识别,是TCN-61375所允许的,总体上互连通信效果较好。

6 结语

以上设计的通用总线接口,工作频率受限程度低,通信速率可以获得极大提高。样板通过测试证明理论分析和设计思路都是正确的,通信效果良好。且通过改变电路板上的跳线,即可使得FPGA在上电阶段自动配置不同的总线结构程序,生成相应的通信接口,大大提高了本设备的通用性和易用性。本系统对于解决车载设备通信制式不统一以及相互不兼容的问题具有很好的效果,也使得基于MVB的多总线互连成为可能,更可为开发具有国内自主知识产权的高通信速率TCN 5类设备奠定基础。

参考文献:

- [1] Peter Etter, et al. Use of the standardized Integrated Communication Systems on Vehicles and trains [M]. Tokyo: IPEC 93, 1993.
- [2] ABB aimler-Benz Transportation. Monitoring and Information System [R]. Germany: ABB Daimler-Benz Transportation, 1999.
- [3] 刘全利, 王晓琳, 党伟, 王伟. cPCI架构MVB通信卡硬件设计与实现[J]. 控制工程, 2009, 16(5): 634-637.
- [4] 李振伟. 基于PC104总线的MVB主卡设计与实现[D]. 大连: 大连理工大学, 2005.
- [5] Castleberry James E, Luke David D, Watson Lynn R, Gilbert David C. Universal serial bus to parallel bus signal converter and method of conversion: US, US6040792 [P]. 2000-05-21.
- [6] 刘建伟, 王蕾, 谭南林, 焦凤川, 高小明. 轨道交通MVB通信网络的实时特性[J]. 中国铁道科学, 2006, 27(6).
- [7] 茅乾博. 基于FPGA的MVBC设计与开发[D]. 大连: 大连理工大学, 2009.
- [8] IEEE. IEC61375-1, Electric Railway Equipment-Train Bus Part I: Communication Network International Standard [S]. IEEE, 1999.
- [9] 倪文波, 王雪梅. 高速列车网络与控制技术[M]. 成都: 西南交通大学出版社, 2008.
- [10] Milani. cPCI-MVB Interface Data Sheet [DB/OL]. 2009-11-12[2012-01-05]. <http://www.duagon.com/?cat=products&productid=D215>.
- [11] Mighetto F, Chaganty S, Pastore M A. Training communication network managers to meet the expectations of the industry [J]. Technology Management: the New International Language, 1991(1): 84-87.
- [12] 徐洪波, 俞承芳. 基于FPGA的以太网MAC子层协议设计实现[J]. 复旦大学学报(自然科学版), 2004, 43(1): 50-61.
- [13] 杨志坤, 曾博, 汤国文. 基于FPGA的嵌入式系统USB接口设计[J]. 电子设计工程, 2010, 18(1): 30-32.
- [14] 黄采伦, 陈艳子, 周少武, 陈特放. 基于FPGA的MVB网络链路层IP核设计[J]. 机械与电子, 2007, 7(19): 61-63.
- [15] 朱琴跃, 谢维达, 谭喜堂. MVB协议一致性测试研究与实现[J]. 铁道学报, 2007, 29(4): 115-120.