

研
究
开
发基于 FPGA 的内燃机车控制系统
高速并行总线设计

肖 健, 班立权, 郜永涛

(株洲南车时代电气股份有限公司 技术中心, 湖南 株洲 412001)



作者简介: 肖 健 (1981-), 男, 硕士, 工程师, 现从事内燃机车微机控制系统及相控整流技术的研究。

摘 要: 介绍了利用 FPGA 来实现内燃机车控制系统高速并行总线的一种设计方案。详细阐述了它的结构、接口信号、功能模块以及寄存器。经过试验证明, 此方案可以大大节省 CPU 的开销, 提高系统整体的工作效率, 满足系统的高实时性要求。

关键词: FPGA; 高速并行总线; 双口 RAM; 内燃机车; 控制系统

中图分类号: U262.7⁺3; TN915 **文献标识码:** A **文章编号:** 1000-128X(2012)04-0030-03

High-speed Parallel Bus of Diesel Locomotive Control System Based on FPGA

XIAO Jian, BAN Li-quan, GAO Yong-tao

(Technology Center, Zhuzhou CSR Times Electric Co., Ltd., Zhuzhou, Hunan 412001, China)

Abstract: Scheme to implement high-speed parallel bus based on FPGA technology for diesel locomotive control system was introduced. Detailed description was made to its structure, interface signal, function block and register. It was proved that the scheme cut the spending of CPU, improved the efficiency of the system, and satisfied the real-time requirement.

Key words: FPGA; high-speed parallel bus; dual-port RAM; diesel locomotive; control system

0 引言

在当前应用较广泛的各种工业控制现场总线中, 有的功能比较强大 (比如 CPCI 总线), 但协议内容复杂, 只有少量昂贵的高级芯片才支持这种总线; 而有的协议简单, 但是功能比较单一, 速度较慢, 难以满足实际需求。FPGA 以其灵活的可编程性越来越受到青睐, 同时 FPGA 还能够实现其他各种复杂的功能, 将总线功能与其他各种功能集成在一个芯片上, 实现紧凑的系统设计, 节约了系统资源, 并且具有很强的可移植性。本文介绍了一种使用 FPGA 来实现的高速并行总线, 并在内燃机车微机控制系统上得到了验证。

1 高速并行总线的设计

1.1 总线的功能介绍

该总线适用于一个为主端的 CPU 插件和若干个从端的外围插件之间的通信及控制。一般箱体中有若干个插槽, 各个插件之间通过安装在插槽上的连接器交换数据。该总线工作电压为 3.3 V, 工作频率为

25 MHz, 可同时驱动 15 块外围插件。数据总线和地址总线的位宽都为 16 位, 支持 8 位和 16 位的 2 种数据访问方式。内置有 32K bytes 的双口 RAM, 其中 8K bytes 为配置文件区, 用于配置此总线上所配置的外围插件的编号、类型以及访问周期的信息, 剩下的 24K bytes 用于双方交换数据。CPU 根据外围插件配置的实际情况, 将相关信息写入配置区后, 就可以访问到外围插件, 并且在总线中配置的双口 RAM 中相应的地址读到需要的数据, 需要发送的数据也只需要发送到双口 RAM 中即可。

1.2 高速并行总线的接口信号定义

高速并行总线的总体框图如图 1 所示。

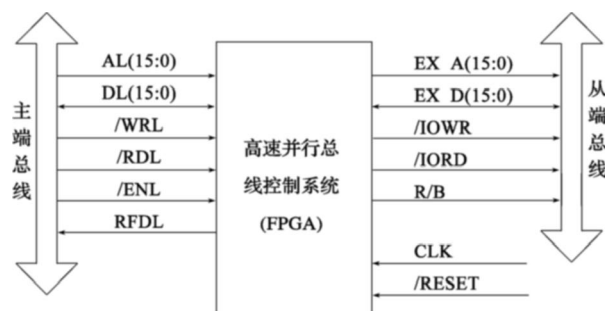


图 1 高速并行总线对外接口

收稿日期: 2011-11-30

根据所面对的对象接口信号可分为 3 类: 系统信号、面向 CPU 的主端接口信号和面向外围插件的从端接口信号。其中, 系统信号为外部时钟输入及复位信号, 主端总线接口信号由 CPU 控制, 从端总线接口信号由 FPGA 控制。信号定义如表 1~表 3 所示。

表 1 系统信号

信号名	方向	说明
CLK	输入	系统时钟信号, 为所有的传输提供时序基准, 其可为 FPGA 的晶振频率, 也可以是经过倍频的内部信号
/RESET	输入	复位信号, 迫使所有的寄存器和信号转为初始状态

表 2 主端总线接口信号

信号名	方向	说明
AL[15:0]	输入	地址信号线, 由 CPU 控制
DL[15:0]	双向	数据信号线, 用于与 CPU 之间的数据传输
/WRL	输入	写使能信号, 有效时表示是 CPU 的写周期
/RDL	输入	读使能信号, 有效时表示是 CPU 的读周期
/ENL	输入	总线使能信号, CPU 在控制总线的时候, 需要先使它有效
RFDL	输出	总线准备好信号, 有效时表示 CPU 可以往总线中写入数据

表 3 从端总线接口信号

信号名	方向	说明
EX_A(15:0)	输出	外围插件地址信号线, 由 FPGA 控制
EX_D(15:0)	双向	外围插件数据信号线, 用于与外围插件之间的数据传输
/IOWR	输出	写使能信号, 有效时表示是 FPGA 对外围插件的写周期
/IORD	输出	读使能信号, 有效时表示是 FPGA 对外围插件的读周期
R/B	输出	总线准备好或者忙信号, 高电平时表示总线正在传输, 低电平时表示总线空闲

1.3 FPGA 内的逻辑框图及功能

高速并行总线在 FPGA 内部实现的逻辑功能框图如图 2 所示, 包括 32K 的双口 RAM 及控制模块, 从端总线控制模块, 定时中断模块, 用户自定义模块等。用户在使用的时候需要在“用户自定义模块”内添加对外围插件访问的内容。定时器中断模块能够读取配置区中关于外围插件的类型、编号以及访问周期的信息, 从而控制主程序中对外围插件的访问方式以及访问周期, 所以只需要修改配置文件即可适用于对不同插件类型及数量需求的场合。

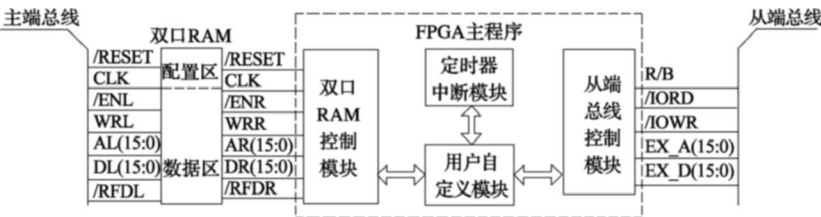


图 2 FPGA 内的逻辑框图

整个系统以用户自定义模块为核心, 双口 RAM 控

制模块、从端总线接口模块和定时中断模块以功能块的形式供用户自定义模块调用。用户自定义模块在对外围插件进行访问之前先读取双口 RAM 中配置区中外围插件的配置信息, 将插件的类型、插件编号及访问周期等相关数据读取到定时器中断模块的寄存器中, 然后依次对所有插件进行访问。在访问之前需要先查看定时器中断模块中插件对应的状态寄存器, 如果访问时间到达则开始此插件的访问。在访问的时候, 如果需要对插件进行访问则调用从端总线接口模块, 如果需要读取或者存储数据则调用双口 RAM 模块, 在访问结束之后将中断状态寄存器清零, 定时器重新开始计时。对各个模块的功能介绍如下。

1) 双口 RAM 控制模块

设计中利用了 FPGA 内部提供的块 RAM (Block RAM), 设计了 2 个独立的高速 16K×8 的双口 RAM, 一个存放偶地址数据, 一个存放奇地址, 以实现 8 位和 16 位 2 种访问方式的兼容。该双口 RAM 提供 2 套独立的具有控制线、地址总线和数据总线的端口, 允许 CPU 和双口 RAM 控制模块对双口 RAM 任何空间进行独立、异步的读写访问。其设计可由 ISE 开发工具中库生成器 (Core Generator) 产生, 设定深度 (Depth 即地址线) 为 15 根, 宽度 (Width 即数据线) 为 8 位, 根据需要设定其他相应握手逻辑信号即可。由于双口 RAM 的地址空间全部映射到 CPU 的地址空间中, 因此 CPU 可以快速对双口 RAM 进行读写操作; 而在另一端, 双口 RAM 控制模块不停地检测启动信号, 当启动信号有效时, 根据访问模式 (读/写) 信号的值, 在 3 个时钟周期内实现对双口 RAM 的读/写。用户自定义模块调用双口 RAM 控制模块时, 只需要先将访问模式信号赋值, 然后将启动信号置有效, 即可实现对双口 RAM 的读/写操作。

2) 从端总线控制模块

从端总线的控制采用标准的读写周期模式, 由于外围插件的工作频率一般比较低, 为了保证有效地对外围插件读写, 将读写信号以及数据的有效周期进行了延长, 每个读写周期需要 6 个时钟周期来完成。与双口 RAM 控制模块类似, 从端总线控制模块也是不停地检测启动信号, 当启动信号有效时, 根据访问模式 (读/写) 信号的值, 在 6 个时钟周期内实现对从端总线的读/写操作。用户自定义模块在调用从端总线控制模块的时候, 只需要将从端总线的数据、地址以及访问模式准备好, 将启动信号置有效即可完成总线数据的传输。

3) 定时器中断模块

定时中断模块由计数器、中断状态寄存器及定时寄存器 3 部分组成。在程序启动时, 程序先从双口 RAM 的配置区读取对外围插件的配置信息, 将所有编号的插件的定时周期的值存入定时寄存器中, 对于

不存在的编号对应的定时寄存器的值默认为 0xFF。当配置完成后,计数器开始计时工作。计数器先判断中断状态寄存器的值,如果为 1,则停止计时,表示对应插件的访问时间已到,允许对此插件进行访问。当访问完成时,将中断状态寄存器置为 0,然后计数器开始计时,直到计数器的值与定时寄存器中的值相等则停止计时,同时置中断状态寄存器的值为 1。

4) 用户自定义模块

用户自定义模块则是用户根据插件的类型以及插件访问的要求,用户自己编制的程序。需要注意的是,外围插件的编号不能重复(0~15),并且对应每一个编号都有唯一的访问地址段,插件的类型与访问的要求可自己约定,只需与配置寄存器中的值保持一致即可。

1.4 总线配置说明

在配置文件区域给每一块插件分配了一个控制寄存器和一个定时寄存器,大小均为 1 个字节,其中,控制寄存器用来配置插件类型和插件编号,定时寄存器用来配置访问周期。各寄存器的格式及说明分别如表 4~表 7 所示。

表 4 控制寄存器的配置格式

位	7	6	5	4	3	2	1	0
内容	插件类型				插件编号			

表 5 控制寄存器配置格式的说明

位	名称	描述
7	保留	
6~4	插件类型	000 —— 模拟量输入插件; 001 —— 数字输入插件; 010 —— 数字输出插件; 011 —— 网络通信数据插件; 100 —— 频率串口插件; 101~111 —— 保留(插件的类型可以自行约定,只需与用户自定义模块中保持一致即可,以上为常见的插件类型的举例)
3~0	插件编号	某块插件的编号,数值范围为 0001~1111

表 6 定时寄存器的配置格式

位	7	6	5	4	3	2	1	0
内容	访问周期							

表 7 定时寄存器配置格式的说明

位	名称	描述
7~0	访问周期	单位为 ms 的数值,例如 00010001,表示此编号插件的访问周期为 00010001 ms,即 17 ms

在高速并行总线中为每块插件分配了 500 Bytes 的存储空间用来存储访问插件的数据,CPU 只需要根据需要来读取数据即可。

2 高速并行总线在内燃机车微机控制系统中的应用

在 DF_{8B} 内燃机车控制系统中,LCS32 机箱内部有若

干种功能插件,包括数字量输出板、数字量输入板、模拟量采集板、频率串口板、网络通信数据板、CPU 板等,其中 CPU 板负责系统的外围总线管理,所有的其他插件都由 CPU 直接控制。假设数字量输出板、数字量输入板、模拟量采集板、频率串口板各配有 1 块,CPU 将所有插件访问一遍所需要的时间大约 30 ms。对于一个实时性要求很高的工业控制系统来说,这个时间是比较长的,而且随着数据量的增多势必带来处理周期的增长,难以满足更高的实时性要求。在采用此方案后,背板总线的控制权交给 FPGA,对外围插件的访问全部交给 FPGA,而 CPU 只需要对 FPGA 中的双口 RAM 读写数据,即可实现对外围插件的全部数据交换。

以 DF_{8B} 内燃机车为例,插件配置有模拟量输入插件、数字输入插件、数字输出插件、频率串口插件各 1 块。在用户自定义模块中添加对各种类型插件的访问程序,以模拟量输入插件为例,根据与模拟量输入插件的协议,将某一通道锁存,然后启动 A/D 转换,接着读 A/D 转换的忙信号,检测到转换完成的时候,分 2 次分别读取转换后的高位数据和低位数据,最后将转换后的模拟量数据存放在此编号插件对应的双口 RAM 数据区中。一块模拟量插件共有 34 路输入,每路输入采集 4 个数据以供滤波。在用户自定义模块中实现了对外围插件的访问后,对于 CPU 来说,省去了直接访问时,在插件执行 A/D、D/A 转换等各种环节的等待时间,CPU 访问完所有的插件所需的时间由原来的 30 ms 降低到 1 ms。

3 结语

本文给出了使用 FPGA 来实现适用于一个为主端的 CPU 插件和若干个为从端的外围插件之间的高速并行总线方案,并在 LCS32 机箱中运用。经过试验证明,运用高速并行总线后,大大节省 CPU 的开销,提高系统整体的工作效率,满足了系统的高实时性要求,并且该总线协议简单,具有良好的可扩展性能,配有大量的双口 RAM 空间供数据交换。

参考文献:

- [1] 姜雪松,吴钰淳,王 鹰,等. VHDL 设计实例与仿真 [M]. 北京:机械工业出版社,2007.
- [2] XILINX. Dual-Port Block Memory V6.3 [DB/OL]. (2004-08-13) [2011-11-18]. http://china.xilinx.com/support/documentation/ip_documentation/bram_block.pdf.
- [3] XILINX. Spartan-III 2.5V FPGA Family: Complete Data Sheet [DB/OL]. (2005-08-19) [2011-11-18]. http://china.xilinx.com/support/documentation/data_sheets/ds099.pdf.
- [4] 刘 韬,楼兴华. FPGA 数字电子系统设计与开发实例导航 [M]. 北京:人民邮电出版社,2005.